



Titre: Techniques de conception de circuits analogiques intégrés à haute performance en CMOS
Title:

Auteur: Ali Assi
Author:

Date: 1998

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Assi, A. (1998). Techniques de conception de circuits analogiques intégrés à haute performance en CMOS [Ph.D. thesis, École Polytechnique de Montréal]. PolyPublie.
Citation: <https://publications.polymtl.ca/6782/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/6782/>
PolyPublie URL:

Directeurs de recherche:
Advisors:

Programme: Unspecified
Program:

UNIVERSITÉ DE MONTRÉAL

TECHNIQUES DE CONCEPTION DE CIRCUITS ANALOGIQUES
INTÉGRÉS A HAUTE PERFORMANCE EN CMOS

Ali ASSI

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE ET DE GÉNIE INFORMATIQUE

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLÔME DE PHILOSOPHIAE DOCTOR (Ph. D.)

(GÉNIE ÉLECTRIQUE)

FÉVRIER 1998

© Ali Assi, 1998.



National Library
of Canada

Acquisitions and
Bibliographic Services

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque nationale
du Canada

Acquisitions et
services bibliographiques

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file Votre référence

Our file Notre référence

The author has granted a non-exclusive licence allowing the National Library of Canada to reproduce, loan, distribute or sell copies of this thesis in microform, paper or electronic formats.

The author retains ownership of the copyright in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque nationale du Canada de reproduire, prêter, distribuer ou vendre des copies de cette thèse sous la forme de microfiche/film, de reproduction sur papier ou sur format électronique.

L'auteur conserve la propriété du droit d'auteur qui protège cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

0-612-32985-2

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

TECHNIQUES DE CONCEPTION DE CIRCUITS ANALOGIQUES
INTÉGRÉS A HAUTE PERFORMANCE EN CMOS

Présentée par: ASSI Ali

en vue de l'obtention du diplôme de: Philosophiae Doctor

A été dûment acceptée par le jury d'examen constitué de:

M. BRAULT Jean-Jules, Ph.D., président

M. SAWAN Mohamad, Ph.D., membre et directeur de recherche

M. SAVARIA Yvon, Ph.D., membre

M. ISMAIL Mohammed, Ph.D., membre externe

A mon défunt père, à ma mère,

à mon épouse Fatmé et mes enfants: Hussein, Mariam et Ibrahim,

à mes frères et soeurs,

je dédie cette thèse.

REMERCIEMENTS

Je tiens à remercier M. Mohamad SAWAN, professeur au département de génie électrique et de génie informatique, qui a accepté de diriger cette thèse en m'accueillant au sein de son équipe POLYSTIM, où il m'a été possible d'effectuer mes recherches dans des conditions tout à fait excellentes et très appréciées.

Je tiens également à apporter des remerciements aux professeurs Jean-Jules BRAULT, pour avoir bien voulu présider le jury de cette thèse, Mohammed ISMAIL de «*Ohio State University*» et Yvon SAVARIA, qui ont accepté de faire partie de ce jury et, à tous mes collègues du laboratoire VLSI qui m'ont apporté leur savoir et leur amitié tout au long de ce travail.

Je tiens aussi à remercier le Conseil de Recherches en Sciences Naturelles et en Génie du Canada (CRSNG) pour le support financier, et la société canadienne en micro-électronique (SCM) pour la fabrication de circuits intégrés.

Je désire enfin adresser un merci bien spécial à mon épouse Fatmé qui a accepté de vivre dans des conditions difficiles pendant de longues années; sans ses sacrifices, ce travail n'aurait pu être mené à bien.

RÉSUMÉ

Le traitement de signal numérique évolue rapidement. Grâce à cette évolution grandissante des circuits intégrés dans l'industrie, les circuits analogiques ont un rôle tout aussi important que celui qu'occupent les circuits numériques. Les circuits analogiques doivent assurer efficacement l'interface avec le monde extérieur qui est de nature analogique. Bref, les circuits analogiques doivent fonctionner efficacement selon des standards numériques sévères exigés par une technologie qui est fondamentalement optimisée pour les applications numériques. Cette situation a créé des nouveaux défis, auxquels les concepteurs de circuits analogiques ont à faire face.

Cette thèse traite le problème selon deux axes. Dans la partie A, une méthode pour réduire la tension de décalage dans les amplificateurs opérationnels à réaction en courant CFOA («*Current Feedback Operational Amplifier*») en technologie CMOS («*Complementary Metal Oxide Semiconductor*») est proposée. Cette méthode est basée sur deux techniques fréquemment utilisées par les concepteurs des circuits analogiques dans plusieurs applications différentes. Ces deux techniques sont: l'intégration de l'erreur et la rétroaction de courant. De plus, cette méthode permet d'annuler l'erreur de gain qui provient de l'étage d'entrée du CFOA. Une discussion sur les architectures récentes des CFOAs en technologie CMOS sera donnée, suivie de la proposition d'une nouvelle architecture d'un CFOA en technologie CMOS 0.8-micron. Le CFOA proposé possède un circuit interne pour réduire la tension de décalage et l'erreur de gain. Les mesures effectuées sur les prototypes réalisés du CFOA démontrent le succès de cette méthode dans la réali-

sation des CFOAs, en technologie CMOS, à large bande passante, avec des tensions de décalage réduites et sans erreur de gain.

Dans la partie B, on propose une nouvelle architecture d'un circuit de transconductance pour les applications à haute fréquence. Une large bande passante avec une bonne linéarité est obtenue par l'élimination des noeuds internes dans le circuit et par l'utilisation d'une structure différentielle: entrée différentielle et sortie différentielle. Le circuit de transconductance qui a été fabriqué, ainsi que deux applications (filtre passe-bande et amplificateur opérationnel mode courant) sont démontrées pour confirmer l'efficacité de cette méthode. Les mesures sur les prototypes du circuit sont très satisfaisantes et sont prometteuses quant à l'utilisation dans les applications à haute fréquence.

Abstract

The increased penetration of digital signal processing in integrated circuit (IC) technology has relegated analog circuits to the role of interfacing with the analog 'outside world'. This situation has created new challenges since the analog circuit frequently has to perform to higher standards with an IC process optimised for digital applications.

This thesis addresses this dilemma in two ways. In part A, an offset-reduction method for CMOS Current Feedback Operational Amplifier (CFOA) is presented which uses two techniques frequently exploited by analog designers in different applications. These techniques are the error-integration and the current-feedback. An additional benefit of using this method is the cancelation of the CFOA gain-error. After discussing CMOS CFOA practical design considerations, a CFOA is designed and integrated in 0.8 CMOS process. The measured results demonstrate a fully functioning method with promise of extremely low-offset and gain-error freedom for wideband CMOS CFOA.

In part B, a new transconductance circuit for high-frequency applications is presented. A wideband characteristic with good linearity is obtained by eliminating internal nodes from the circuit and adopting a fully differential structure: differential-in differential-out. The transconductor is developed and applications (bandpass filter and current-mode opamp) are illustrated. An IC implementation demonstrates performances and confirms theoretical analyses.

TABLE DES MATIÈRES

Dédicace	iv
Remerciements	v
Résumé	vi
Abstract.	viii
Table des matières	ix
Liste des figures	xii
Liste des tableaux.	xviii
Liste des abréviations et symboles	xix
INTRODUCTION GÉNÉRALE	1
1. AMPLIFICATEURS OPÉRATIONNELS À RÉACTION EN COURANT ET CIRCUITS DE TRANSCONDUCTANCE À HAUTES FRÉQUENCES EN TECHNOLOGIE CMOS.	
1.1 Introduction	8
1.2 Amplificateurs opérationnels à réaction en courant.	11
1.2.1 Considérations fréquentielles et temporelles.	12
1.2.2 Caractéristiques en boucle fermée.	16
1.2.3 Plage dynamique.	18
1.2.4 Effets de second ordre.	20

1.3 Circuits de transconductance CMOS (VCT)	29
1.3.1 Circuit de transconductance à base d'inverseurs.	35
1.3.2 Circuit de transconductance à bande passante très élevée.	41
2. AMPLIFICATEUR OPÉRATIONNEL À RÉACTION EN COURANT, DE GAIN ÉLEVÉ ET DE TENSION DE DÉCALAGE RÉDUITE	
2.1 Introduction	45
2.2 An Offset Compensated and High Gain CMOS Current-Feedback Op-Amp ..	47
2.3 Conclusion	64
3. TECHNIQUE DE COMPENSATION POUR REDUIRE LA TENSION DE DECALAGE ET L'ERREUR DE GAIN DES AMPLIFICATEURS OPÉRATIONNELS A RÉACTION EN COURANT EN TECHNOLOGIE CMOS: CONCEPTION ET MESURES.	
3.1 Introduction	65
3.2 Compensation Technique to Reduce Offset and Gain Error of CMOS CFOA: Design and Subsequent Measurements.	66
3.3 Conclusion	102
4. CIRCUIT DE TRANSCONDUCTANCE À HAUTES PERFORMANCES EN TECHNOLOGIE CMOS POUR LES APPLICATIONS MIXTES ANALOGIQUES ET NUMÉRIQUES.	
4.1 Introduction	103
4.2 High Performance CMOS Transconductor for Mixed-Signal Analog-Digital Applications	105

4.3 Conclusion	146
CONCLUSION GÉNÉRALE	147
Nouvelle architecture d'un CFOA en CMOS (partie A)	148
Nouvelle architecture d'un VCT en CMOS (partie B)	148
Récommandations et développements futures	149
Bibliographie	151

LISTE DES FIGURES

Figure 1.1: Symboles d'un amplificateur opérationnel (a) une sortie	
(b) deux sorties	9
Figure 1.2: Les quatre configurations possibles de l'amplificateur opérationnel:	
(a) tension (b) transconductance (c) courant (d) transimpédance	11
Figure 1.3: L'amplificateur opérationnel de transimpédance	12
Figure 1.4: Amplificateur opérationnel mode courant en technologie bipolaire	13
Figure 1.5: Schéma bloc d'un amplificateur opérationnel mode courant	14
Figure 1.6: Configuration non inverseur	16
Figure 1.7: Comparaison des caractéristiques des amplificateurs opérationnels	
mode tension (gauche) et mode courant (droite)	19
Figure 1.8: Effet de R_{inv}	21
Figure 1.9: Réduction de la bande passante en fonction du gain	22
Figure 1.10: Étages d'entrées d'un CFOA en bipolaire	24
Figure 1.11: Étages d'entrées d'un CFOA en CMOS	24
Figure 1.12: Paire différentielle	29
Figure 1.13: Paires différentielles croisées	30
Figure 1.14: Circuit de transconductance avec deux paires CMOS	31

Figure 1.15: Circuit de transconductance hautement linéaire	32
Figure 1.16: Circuit de transconductance linéaire avec des CMOSFETs composés ...	33
Figure 1.17: Circuit de transconductance avec des MOSs dans la région linéaire	34
Figure 1.18: Inverseur CMOS	36
Figure 1.19: (a) Deux inverseurs balancés avec des signaux balancés pour obtenir une conversion linéaire, (b) Le circuit qui génère la tension en mode commun VC	37
Figure 1.20: Circuit de transconductance à base d'inverseurs	39
Figure 1.21: Circuit de transconductance à bande passante très élevée	42
Figure 2.1: Current-feedback op-amp (CFOA): Typical architecture	50
Figure 2.2: Current-feedback op-amp (CFOA): Closed-loop macromodel	50
Figure 2.3: Current-feedback op-amp (CFOA): CMOS implementation	52
Figure 2.4: Block diagram of the CFOA with the compensation circuitry	53
Figure 2.5: Compensation circuit: Block diagram of the VC-VIC	55
Figure 2.6: Compensation circuit: Schematic of half VC-VIC	56
Figure 2.7: Compensation circuit: Schematic of CIM	57
Figure 2.8: DC performance of the VC-VIC and the CIM	59
Figure 2.9: Input offset voltage with and without compensation	60
Figure 2.10: Open-loop gain and GBW of the CFOA	61

Figure 2.11: Closed-loop gain and -3dB frequency of the CFOA	61
Figure 2.12: Layout of the CFOA	62
Figure 3.1: Current-feedback op-amp: closed-loop macromodel	89
Figure 3.2: Current-feedback op-amp: CMOS implementation	89
Figure 3.3: Block diagram of the offset compensated CFOA	90
Figure 3.4: Schematic of the VC-VIC	90
Figure 3.5: Schematic of the CI	91
Figure 3.6: DC function of the compensation circuit (VC-VIC and CI)	92
Figure 3.7: Reduction of the inverting-input impedance by negative feedback	92
Figure 3.8: Cancellation of the gain error:	
a) the input signals V_p and V_n with and without compensation,	
b) the input signal V_p , and the output signal V_o with and without	
compensation	93
Figure 3.9: Cancellation of the gain error and the offset:	
a) the input signals V_p and V_n with and without compensation,	
b) the input signal V_p , and the output signal V_o with and without	
compensation	94
Figure 3.10: Frequency responses of the non-compensated and the compensated	
CFOA for different variations on process parameters and temperature:	

- a) normal conditions (no variations in process parameters and temperature).
- b) +9% of the V_{Tn} value.
- c) -3% of the V_{Tn} value.
- d) +10% of the N+ doping.
- e) -10% of the N+ doping.
- f) +3% of the V_{Tp} value.
- g) -3% of the V_{Tp} value.
- h) +10% of the P+ doping.
- i) -10% of the P+ doping. 95

Figure 3.11: Performances of the non-compensated and the compensated CFOA in terms of input offset voltage, gain and bandwidth for different variations on process parameters and temperature :

- a) a) offset as function of temperature.
- b) bandwidth as function of temperature.
- c) gain as function of temperature.
- d) gain as function of ΔV_{T0} of a NMOS transistor.
- e) gain as function of ΔV_{T0} of a PMOS transistor.
- f) gain as function of variations in N+ doping.

- g) gain as function of variations in P+ doping.
- h) offset as function of ΔV_{T0} of a NMOS transistor
- i) offset as function of ΔV_{T0} of a PMOS transistor.
- j) offset as function of variations in N+ doping.
- k) offset as function of variations in P+ doping. 97

Figure 3.12: Simulated closed-loop gain and bandwidth of the non-compensated
and the compensated CFOA for 10, 50 and 100 gain values. 99

Figure 3.13: Measured closed-loop gain and bandwidth of the non-compensated
and the compensated CFOA for 10, 50 and 100 gain values. 99

Figure 3.14: Bandwidth as function of the closed-loop gain. 100

Figure 3.15: Microphotograph of the CFOA. 100

Figure 4.1: The differential-in differential-out transconductor circuit. 134

Figure 4.2: The ac equivalent model for the transconductor circuit. 134

Figure 4.3: The transconductor-C integrator:

- a) block diagram; b) complete schematic. 135

Figure 4.4: Filter structure. 136

Figure 4.5: Block diagram of the proposed current opamp. 136

Figure 4.6: Complete circuit of the fully differential CMOS current opamp. 137

Figure 4.7: Tuning capability of the transconductance circuit;

V_{REF} is taken as parameter:

DC responses: a) $V_{CC} = -V_{SS} = 1.5$ V; b) $V_{CC} = -V_{SS} = 2.5$ V. 138

Figure 4.8: Output (current) response of the transconductance circuit at 200 MHz

clock signal (1 V pp, differential). 139

Figure 4.9: Simulated response of the bandpass biquad filter:

Tuning capability: a) $V_{CC} = -V_{SS} = 1.5$ V; b) $V_{CC} = -V_{SS} = 2.5$ V. . . . 140

Figure 4.10: Simulated open loop frequency response of the current opamp. 141

Figure 4.11: Tuning capability of the current opamp. 141

Figure 4.12: Microphotograph of the transconductor circuit. 142

Figure 4.13: Measured results of the transconductor circuit:

a) Large signal transfer characteristics. 142

b) Transconductance characteristics. 143

LISTE DES TABLEAUX

Tableau 1.1:Les types d'amplificateurs opérationnels idéaux.	10
Tableau 3.1:The performances of the CMOS CFOA.	101
Tableau 3.2:The characteristics of the compensated CMOS CFOA.	101
Tableau 4.1:Dimensions (μm) of the transistors used in the transconductance circuit. .	145
Tableau 4.2:Dimensions (μm) of the transistors used in the bandpass biquad filter. . .	145
Tableau 4.3:Dimensions (μm) of the transistors used in the current opamp	145

LISTES DES ABREVIATIONS ET SYMBOLES

ABREVIATIONS

Op.amp.	<i>Amplificateur opérationnel</i>
BiCMOS	<i>Bipolar Complementary Metal Oxide Semiconductor</i>
BJT	<i>Bipolar Junction Transistor</i>
BUF	<i>Buffer</i>
CFOA	<i>Amplificateur opérationnel à réaction en courant</i>
CMFB	<i>Common Mode Feedback</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CIM	<i>Intégrateur de courant</i>
CMC	<i>Canadian Microelectronics Corporation</i>
CRSNG	<i>Conseil de Recherches en Sciences Naturelles et en Génie du Canada</i>
IC	<i>Circuit intégré</i>
LSI	<i>Intégration à grande échelle</i>
NMOS	<i>Channel-N Metal Oxide Semiconductor</i>
NPN	<i>Transistor bipolaire type NPN</i>
NRL	<i>Résistance de charge négative</i>
NSERC	<i>Natural Sciences and Engineering Research Council of Canada</i>
PCB	<i>Printed Circuit Board</i>
PNP	<i>Transistor bipolaire type PNP</i>
PMOS	<i>Channel-P Metal Oxide Semiconductor</i>
SCM	<i>Société Canadienne de Micro-électronique</i>
ULSI	<i>Intégration à ultra grande échelle</i>
VCT	<i>Convertisseur tension-courant</i>
VC-VIC	<i>Comparateur et convertisseur tension-courant</i>
VLSI	<i>Intégration à très grande échelle</i>

SYMBOLES

A_v	<i>Gain en tension</i>
A_i	<i>Gain en courant</i>
A_{CL}	<i>Gain du CFOA en boucle fermée</i>
BW	<i>Bande passante</i>
C_{gsp}	<i>Capacité grille-source d'un transistor PMOS</i>
C_{gsn}	<i>Capacité grille-source d'un transistor NMOS</i>
C_{dsp}	<i>Capacité drain-source d'un transistor PMOS</i>
C_{dsn}	<i>Capacité drain-source d'un transistor NMOS</i>
C_{gdp}	<i>Capacité grille-drain d'un transistor PMOS</i>
C_{gdn}	<i>Capacité grille-drain d'un transistor NMOS</i>
C_p	<i>Capacité au noeud de haute impédance du CFOA</i>
C_{eq}	<i>Capacité équivalente au noeud de haute impédance du CFOA</i>
C_{ox}	<i>Capacité/unité de surface de la grille (capacité de l'oxide)</i>
g_{ds}	<i>Conductance de sortie drain-source d'un transistor MOS</i>
GBW	<i>Produit gain bande-passante</i>
G_m	<i>Gain de transconductance</i>
g_m	<i>Transconductance MOS transistor MOS</i>
g_{mb}	<i>Transconductance du substrat d'un transistor MOS</i>
Gnd	<i>Mise à la terre (0 Volt)</i>
$in-$	<i>Entrée négative</i>
$in+$	<i>Entrée positive</i>
i_i	<i>Courant d'entrée</i>
I_n	<i>Courant à l'entrée négative du CFOA</i>
I_c	<i>Courant au noeud de haute impédance du CFOA</i>
$I_{cnv} I_{cp}$	<i>Courants intégrés par le CIM</i>
I_D	<i>Courant de drain d'un transistor MOS</i>

I_{SS}	<i>Courant de polarisation</i>
I_{Dp}	<i>Courant de drain d'un transistor PMOS</i>
I_{Dn}	<i>Courant de drain d'un transistor NMOS</i>
I_o	<i>Courant de sortie</i>
K_N	<i>Paramètre de transconductance d'un transistor NMOS</i>
K_P	<i>Paramètre de transconductance d'un transistor PMOS</i>
L_M	<i>Longueur de la grille d'un transistor MOS</i>
L_N	<i>Longueur de la grille d'un transistor NMOS</i>
L_P	<i>Longueur de la grille d'un transistor PMOS</i>
M	<i>Transistor MOS</i>
M_N	<i>Transistor MOS type N</i>
M_P	<i>Transistor MOS type P</i>
Q	<i>Transistor bipolaire</i>
R_1, R_2	<i>Résistances qui déterminent le gain du CFOA en boucle fermée</i>
R_{eq}	<i>Résistance équivalente au noeud de haute impédance du CFOA</i>
R_m	<i>Gain de transimpédance</i>
R_{inv}, R_n	<i>Résistance de l'entrée négative</i>
R_L	<i>Résistance de charge</i>
r_o	<i>Résistance de sortie drain-source d'un transistor MOS</i>
R_o	<i>Résistance de sortie du circuit de transconductance</i>
V_p	<i>Tension d'entrée positive</i>
V_n	<i>Tension d'entrée négative</i>
V_{nr}	<i>Pseudo-tension</i>
V_B	<i>Tension de polarisation</i>
V_{REF}	<i>Tension de référence</i>
V_o	<i>Tension de sortie</i>
V_{Tn}	<i>Tension de seuil d'un transistor NMOS</i>
V_{Tp}	<i>Tension de seuil d'un transistor PMOS</i>

V_{CO} V_{SS}	<i>Tensions d'alimentation</i>
V_{PP}	<i>Tension crête à crête</i>
V_{BE}	<i>Tension base-émetteur d'un transistor bipolaire</i>
V_{off}	<i>Tension de décalage</i>
V_{id}	<i>Tension d'entrée différentielle</i>
V_{GS}	<i>Tension grille-source</i>
V_C	<i>Tension de contrôle</i>
V_{DD}	<i>Tension d'alimentation</i>
V_{oc}	<i>Tension de sortie en mode commun</i>
V_{od}	<i>Tension de sortie en mode différentiel</i>
V_{refn} V_{refp}	<i>Tensions de référence</i>
W_M	<i>Largeur de la grille d'un transistor MOS</i>
W_N	<i>Largeur de la grille d'un transistor NMOS</i>
W_P	<i>Largeur de la grille d'un transistor PMOS</i>
$Z(s)$	<i>Gain de transimpédance en boucle ouverte</i>
μ_0	<i>Mobilité d'un transistor MOS à champ électrique nul</i>
θ	<i>Coefficient de l'effet du champ électrique sur la mobilité</i>
μm	<i>Micromètre</i>
μV	<i>Microvolt</i>
Ω	<i>Ohm</i>
μA	<i>Microampère</i>
β	<i>Paramètre de transconductance d'un transistor MOS</i>
β_N	<i>Paramètre de transconductance d'un transistor NMOS</i>
β_P	<i>Paramètre de transconductance d'un transistor PMOS</i>
μ_p	<i>Mobilité d'un transistor PMOS</i>
μ_N	<i>Mobilité d'un transistor NMOS</i>

INTRODUCTION GÉNÉRALE

L'évolution rapide des technologies de fabrication des circuits intégrés a largement influencé le développement des fonctions de traitement de signal. Au début des années 70, l'électronique analogique qui utilisait la technologie hybride (assemblage d'éléments discrets sur PCB «Printed Circuit Boards»), a subi une évolution marquante avec l'introduction des amplificateurs opérationnels réalisés sur des circuits monolithiques. Les fonctions réalisées avec des amplificateurs opérationnels intégrés occupent une moins grande superficie. L'avènement de l'intégration à grande échelle, que nous appellerons par son acronyme anglais, LSI («Large Scale Integration»), a rendu possible la réalisation de plusieurs fonctions analogiques intégrées. L'évolution vers des niveaux d'intégration plus élevés a donné naissance à l'intégration à très grande échelle, VLSI («Very Large Scale Integration»), pour ensuite progresser vers l'intégration à l'ultra grande échelle, ou ULSI («Ultra Large Scale Integration»). Cette évolution sans cesse croissante, apporte avec elle de nouvelles règles de conception, et tend à modifier les techniques de conception de circuits analogiques d'aujourd'hui.

Dans les années 70, le désir de développer à faibles coûts des mémoires de plus grande capacité a stimulé l'énergie de la technologie LSI, alors basée sur des transistors MOS à canal-N (NMOS). Les procédés de fabrication utilisés devaient suivre toutefois la complexité grandissante des circuits LSI. La réduction de l'échelle, un facteur de progrès important, a permis aussi la réalisation de circuits de grande complexité (grand nombre de transistors). Cependant, l'accroissement de la complexité entraîna des problèmes de con-

somation de puissance.

Même si le concept de la technologie CMOS a vu le jour en 1963 dans «*IEEE International Solid State Circuits Conference*» [WAN63], elle est restée peu moins utilisée dans le milieu industriel jusqu'aux années 70. Au départ, sa faible consommation de puissance et son excellente immunité au bruit ont justifié son utilisation dans les applications numériques. Ces deux caractéristiques, constituaient des avantages majeurs par rapport aux autres technologies existantes. Des applications telles que les calculatrices à batteries et les montres à affichage numérique furent commercialisées. La popularité du CMOS et son succès ont rendu possible l'étendue vers des nouveaux champs d'applications, tels que les microprocesseurs, les circuits prédiffusés («*gate arrays*») et enfin, d'autres circuits intégrés dédiés. Dans le domaine des mémoires, des complexités très élevés ont été atteintes et la fiabilité a pu être améliorée grâce à l'immunité aux radiations.

La disponibilité en CMOS de deux types de transistors MOS: canal-N et canal-P, a donné à cette technologie des possibilités de conception similaires à celles offertes par la technologie bipolaire. En CMOS, nous avons eu droit à des commutateurs analogiques et des condensateurs de haute qualité, ainsi qu'à des amplificateurs opérationnels à hautes performances (gain très élevé et bande passante large) [HOD80]. Des amplificateurs opérationnels avec des gains et des bandes passantes dépassant 100 dB et 100 MHz respectivement ont été rapportés [RIB85]. Des fonctions continues dans le temps, ainsi que des fonctions à échantillonnage de données (condensateurs commutés) ont pu être réalisées grâce à la technologie CMOS. Cette technologie simplifie l'intégration des fonc-

tions analogiques et mixtes (analogique-numérique) sur la même puce. Les circuits mixtes permettent la réalisation de fonctions dédiées à des nombreuses applications (biomédicales, télécommunication) et leur usage s'est grandement répondu dans les années 80 [CHE86] [DAV83].

Le désir d'obtenir des circuits numériques de haute densité d'intégration a été et sera, dans un avenir prévisible, la force qui dirige le progrès grandissant du VLSI. De plus en plus, le traitement de signal se réalise dans le domaine numérique et plusieurs applications traditionnelles de l'analogique sont maintenant dominées par l'approche numérique, surtout quand il s'agit des applications où la précision et la programmabilité sont exigées. En plus, la simplicité et la régularité des blocs numériques de base (portes logiques, bascules, etc) ont simplifié la tâche de tester et vérifier avec les outils de conception CAD («Computer Aided Designs»). L'approche numérique est donc devenue, pour plusieurs concepteurs, la voie la plus aisée à suivre pour qu'un nouveau produit accède rapidement au marché, si toutefois cela s'avère possible. Les circuits numériques sont beaucoup plus faciles à manipuler lors d'une réduction éventuelle des dimensions dans un procédé de fabrication donné. Il n'est pas nécessaire de refaire la conception, il suffit d'appliquer des règles simples de réduction, ce qui restreint énormément le temps de mise au point d'un nouveau produit.

Avec tous les avantages offerts par l'approche numérique, on peut se demander pourquoi les circuits analogiques attirent toujours autant l'attention des concepteurs! Une des principales raisons demeure que de nombreuses applications ont des meilleures per-

formances avec l'approche analogique (basse consommation de puissance et opération à des plus hautes fréquences) ou encore l'adoption de l'approche numérique est trop risquée. Une autre raison provient du fait que le monde est de nature analogique et que tous les processeurs ont besoin d'une interface analogique pour pouvoir communiquer leurs fonctions. Ces interfaces analogiques doivent coexister sur la même puce à côté des processeurs numériques. Considérant ce besoin inévitable de l'électronique analogique, les concepteurs de circuits analogiques en technologie CMOS doivent faire face aux difficultés qui découlent de l'utilisation d'une technologie développée à l'origine pour le VLSI numérique.

Dans l'évolution des technologies VLSI, les circuits analogiques ont tiré profit de l'aspect numérique. Notons par exemple, la possibilité d'obtenir des dimensions de plus en plus réduites, qui découle d'un meilleur contrôle des procédés de fabrication et d'une meilleure cohérence entre les composants de base (transistors). Tous ces facteurs contribuent à avoir des circuits analogiques d'une haute précision.

L'inconvénient dans l'évolution de la technologie VLSI provient du fait qu'elle est optimisée pour les applications numériques qui nécessitent des circuits de très grande complexité avec un bon rendement et une consommation de puissance raisonnable. Pour une complexité de circuit donnée, même en CMOS, les niveaux de dissipation peuvent dépasser les limites souhaitées, surtout quand il s'agit de circuits opérant à haute fréquence. L'augmentation de la température dans les puces dégrade leur fiabilité, ce qui nécessite le design de circuits fonctionnant à des tensions d'alimentation basses. Dans ce

contexte, la situation pour les circuits analogiques est beaucoup plus délicate qu'avant, puisque les circuits numériques nécessitent des tensions de seuil élevées pour avoir une meilleure marge de bruit et une faible consommation de puissance statique. La combinaison entre la tension d'alimentation réduite et la tension de seuil relativement élevée, diminue la tension de sortie maximale dans les circuits analogiques, ce qui dégrade leur gamme dynamique. Un rendement adéquat et un faible coût avec des complexités numériques très élevées, peuvent être atteints en simplifiant les procédés de fabrication. De plus, ceci s'ajoute aux problèmes des circuits analogiques, auxquels le concepteur devra penser en ayant recours à des tels procédés. Il n'est pas étonnant que les options ajoutés aux procédés d'aujourd'hui, afin de supporter spécialement les circuits analogiques (une deuxième couche de silicium cristallin pour l'implantation de capacités flottantes linéaires), soient souvent perçues comme un luxe. Les performances des interfaces analogiques (plage dynamique, linéarité, etc) doivent s'harmoniser avec celles des processeurs numériques qui cohabitent avec eux sur la même puce, ce qui constitue un grand défi pour les concepteurs des circuits analogiques, car les performances des processeurs numériques ne cessent de croître avec l'évolution des technologies. L'amélioration des performances des interfaces analogiques doit se faire dans l'environnement bruité des circuits numériques. Bref, les futurs circuits analogiques conçus pour la technologie CMOS devront fonctionner dans des conditions difficiles en exploitant des technologies orientées vers le numérique.

Des solutions possibles pour pallier à ce dilemme utilisent des techniques numériques au profit des performances analogiques [TSI87]. Les erreurs traditionnellement associées aux circuiteries analogiques (la tension de décalage et la précision) sont

traitées par des méthodes autocorrectives, en utilisant soit les techniques analogiques [POU73] ou soit une combinaison des techniques analogiques et numériques [ARM87]. Alternativement, la précision a été sacrifiée au profit de la vitesse dans les convertisseurs analogique à numérique (CAN) utilisant les techniques de suréchantillonnage [HAU86] pour avoir des degrés de performance meilleurs que ceux traditionnellement associés aux limitations analogiques. Des nouveaux champs d'applications ont été proposés pour le traitement analogique de signal par le biais de techniques de programmation numérique [TSI82]. Le défi est bien clair et les profits sont considérables pour le concepteur qui saura satisfaire les exigences des hautes performances analogiques avec des ressources techniques qui continuent de s'accroître dans un environnement VLSI numérique. C'est dans ce cadre d'activités de recherche que cette thèse s'intègre et traite de deux problèmes complémentaires.

Dans la première partie, le travail se situe au niveau de la catégorie des techniques de réduction de la tension de décalage dans les amplificateurs opérationnels à réaction en courant (CFOA). Une nouvelle architecture d'un CFOA avec une tension de décalage réduite en technologie CMOS y est proposée.

Dans la seconde partie, une nouvelle architecture en technologie CMOS sera proposée pour les applications à haute fréquence. Il s'agit d'un bloc analogique de base, le convertisseur tension-courant («*Voltage-to-Current-Transducer*» VCT), aussi appelé amplificateur de transconductance.

A travers les articles inclus dans les différents chapitres, nous verrons l'originalité des travaux présentés. La structure du travail présenté dans cette thèse se résume comme suit. Au chapitre 1, il sera question des notions de base et d'une revue de littérature sur les CFOAs et les circuits de transconductance en technologie CMOS. Nous analysons les avantages et les inconvénients des circuits existants, nous nous attardons particulièrement sur les problèmes de la tension de décalage et l'erreur de gain dans les CFOAs. En ce qui concerne les circuits de transconductance, les architectures de hautes performances, en particulier celles qui donnent des circuits opérant à haute fréquence, sont ciblées. Au chapitre 2, nous proposons une technique de réduction de la tension de décalage dans les CFOAs en technologie CMOS. Au chapitre 3, la méthode de réduction de la tension de décalage est améliorée pour réduire aussi l'erreur de gain dans les CFOAs. Au chapitre 4, une nouvelle architecture d'un circuit de transconductance en technologie CMOS, pour les applications à haute fréquence est proposée. Nous terminerons avec une conclusion générale sur l'ensemble de travaux de cette thèse.

CHAPITRE 1

AMPLIFICATEURS OPÉRATIONNELS À RÉACTION EN COURANT ET CIRCUITS DE TRANSCONDUCTANCE À HAUTE FRÉQUENCE EN TECHNOLOGIE CMOS

1.1 Introduction

L'amplificateur opérationnel (op.amp.) est un bloc fondamental pour un grand nombre de circuits électroniques de base. Malgré qu'il soit lui-même composé d'un certain nombre de transistors, l'op.amp. est habituellement considéré comme un élément connu sous le nom op.amp. idéal. La possibilité de le considérer comme un élément idéal simplifie beaucoup son utilisation dans des circuits plus complexes, tels que les amplificateurs, les filtres et les convertisseurs de données. Avec autant de possibilités d'utilisation, l'op.amp. a été réalisé sous plusieurs formes différentes.

D'abord, l'op.amp. est un amplificateur à gain élevé. Malgré qu'il puisse être utilisé tout seul, la plupart des op.amp. font partie de circuits plus complexes, dans lesquels la rétroaction est utilisée pour déterminer la fonction de transfert du circuit. Pour simplifier l'analyse préliminaire du circuit, une abstraction pratique d'un op.amp., connue sous le nom d'op.amp. idéal est toujours utilisée.

L'amplificateur opérationnel idéal, qui a une entrée différentielle comme le montre la figure 1, peut avoir une sortie simple ou différentielle.

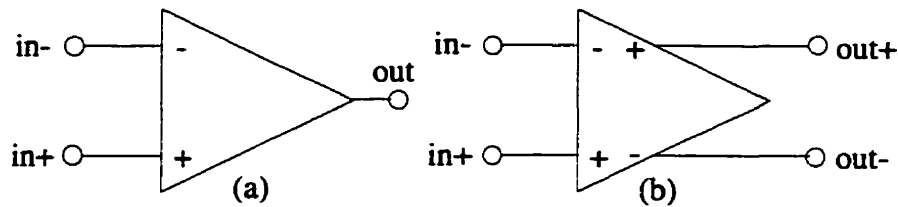


Fig. 1.1: Symbole d'un amplificateur opérationnel (a) une sortie (b) deux sorties.

Pour produire du gain, l'op.amp. a besoin d'une source d'alimentation externe. Pour l'op.amp. idéal, la source d'alimentation n'a pas d'effet sur les performances de l'amplificateur et c'est pourquoi, cette source n'est pas indiquée sur le symbole du circuit de la figure 1.1.

En se basant sur la description donnée plus-haut, l'entrée de l'op.amp. peut être une tension ou un courant. La sortie peut également être une tension ou un courant. Par conséquent, on retrouve quatre types possibles d'op.amp. idéal: l'op.amp. de tension, l'op.amp. de transrésistance, l'op.amp. de courant et l'op.amp. de transconductance, comme le montrent la table 1.1 et la figure 1.2. L'op.amp. idéal de tension est caractérisé par les quatre paramètres suivants [ALL 87]:

- gain infini,
- bande passante infinie,

- impédance d'entrée infinie,
- impédance de sortie nulle.

Malgré que ces spécifications ne soient pas atteintes en pratique, des grandes plages de décalages peuvent être ignorées dans la plupart des applications.

Dans la plupart des applications, l'op.amp. est utilisé en boucle fermée avec une rétroaction négative. Avec cette rétroaction, les quatre types d'op.amp. produisent la même fonction. Quand les limitations des op.amp. réels sont considérées, ceux qui sont adéquats pour une application ne le sont pas nécessairement pour d'autres. Dans cette thèse, les op.amp. de transconductance ainsi qu'une catégorie d'op.amp. mode courant connue sous le nom d'amplificateur opérationnel à réaction en courant («CFOA»), seront considérés.

Tableau 1.1: Les types d'amplificateurs opérationnels idéaux.

Entrée	Sortie	Gain	Type
V	V	A_v	Tension
V	I	G_m	Transconductance
I	I	A_i	Courant
I	V	R_m	Transimpédance

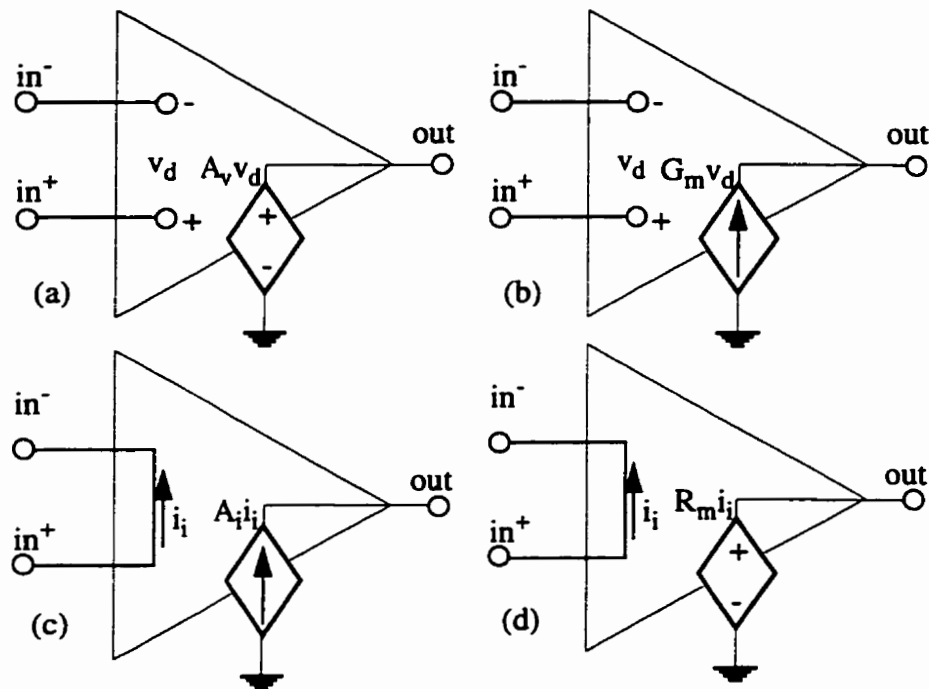


Fig. 1.2: Les quatre configurations possibles de l'amplificateur opérationnel:

(a) tension (b) transconductance (c) courant (d) transimpédance.

1.2 Amplificateur opérationnel à réaction en courant (CFOA)

Les amplificateurs opérationnels mode courant, communément appelés amplificateur opérationnel à réaction en courant («CFOA»), ont été décrits par plusieurs chercheurs [HAR88] [WON89][FRA93]. Dans cette section, nous rappelons les équations qui se rattachent à la conception de ce genre d'amplificateurs opérationnels.

Les réalisations pratiques des amplificateurs opérationnels de transimpédance montrent typiquement des performances en fréquence beaucoup plus élevées que celles

connues avec les amplificateurs opérationnels de tension. Pour des considérations pratiques, l'op.amp. mode courant possède typiquement un tampon de gain unitaire entre l'entrée négative et l'entrée positive comme le montre la figure 1.3.

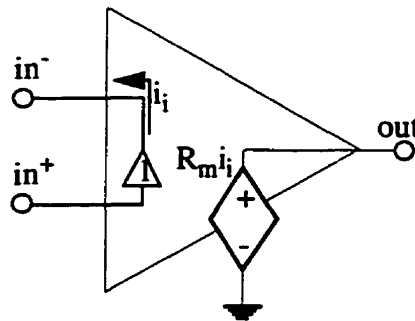


Fig. 1.3: L'amplificateur opérationnel mode courant.

Le tampon ajouté entre l'entrée négative et l'entrée positive, augmente la résistance de l'entrée négative, et comme nous le verrons plus tard, diminue les performances de l'amplificateur opérationnel. Pour cela, il s'avère nécessaire d'avoir recours à des techniques qui réduiront cet effet.

1.2.1 Considérations fréquentielles et temporelles

Une des limitations les plus importantes des op.amp. réels est la diminution du gain lorsque la fréquence augmente. Cette limitation a un effet sur le comportement fréquentiel ainsi que sur le comportement temporel du circuit formé d'un ou plusieurs de ces op.amp. Nous avons des effets linéaires, tels qu'une bande passante finie et un temps de montée non nul. Aux effets linéaires s'ajoutent les effets non linéaires tels que la limitation de la pente du signal de sortie. Des effets additionnels peuvent survenir, tels le temps

de réponse et les couplages électriques.

Les op.amp. mode courant utilisent une topologie de circuit assez particulière, jumelée à une technologie bipolaire, pouvant atteindre des gammes dynamiques beaucoup plus élevées que celles des op.amp. mode tension. Le nom mode courant découle du fait que la stabilité de l'étage d'entrée de ces op.amp. est de type courant et le signal qui se propage autour de la boucle de rétroaction se présente alors sous forme de courant et non pas de tension. La figure 1.4 montre une configuration possible d'un op.amp. mode courant en technologie bipolaire dans laquelle les transistors Q_1 - Q_{16} forment trois (3) blocs fonctionnels. Ces blocs sont montrés à la figure 1.5.

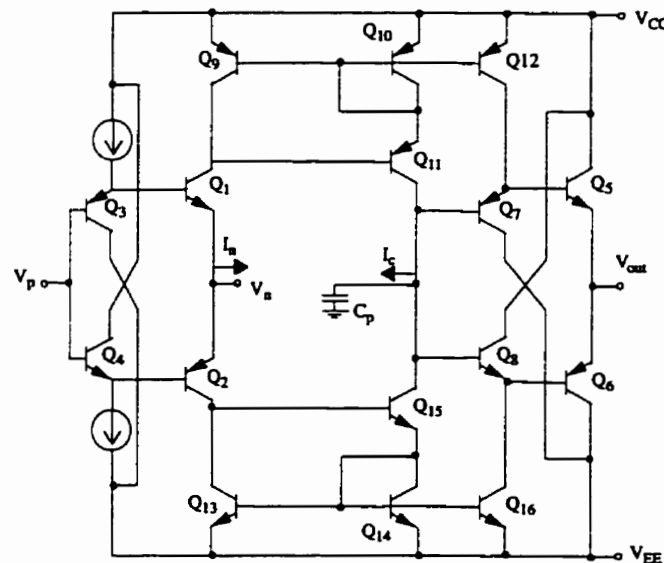


Fig. 1.4: Amplificateur opérationnel mode courant en technologie bipolaire.

1) Le premier bloc fonctionnel est un tampon de gain unitaire, constitué des transistors Q_1 à Q_4 . Q_1 et Q_2 forment un étage «push-pull» de faible impédance de sortie, tandis que Q_3 et Q_4 fournissent une compensation de V_{BE} ainsi qu'une fonction Darlington pour augmenter l'impédance d'entrée. Ce tampon force V_n à suivre V_p , exactement comme le fait l'amplificateur opérationnel mode tension, soit par le biais d'une rétroaction négative. Le courant peut facilement circuler à travers l'entrée négative de l'amplificateur opérationnel. Le tampon a comme fonction la détection du courant de déséquilibre (I_n) entre les courants I_1 et I_2 des transistors Q_1 et Q_2 respectivement (Fig. 1.5), tel que:

$$I_1 - I_2 = I_n \quad (1.1)$$

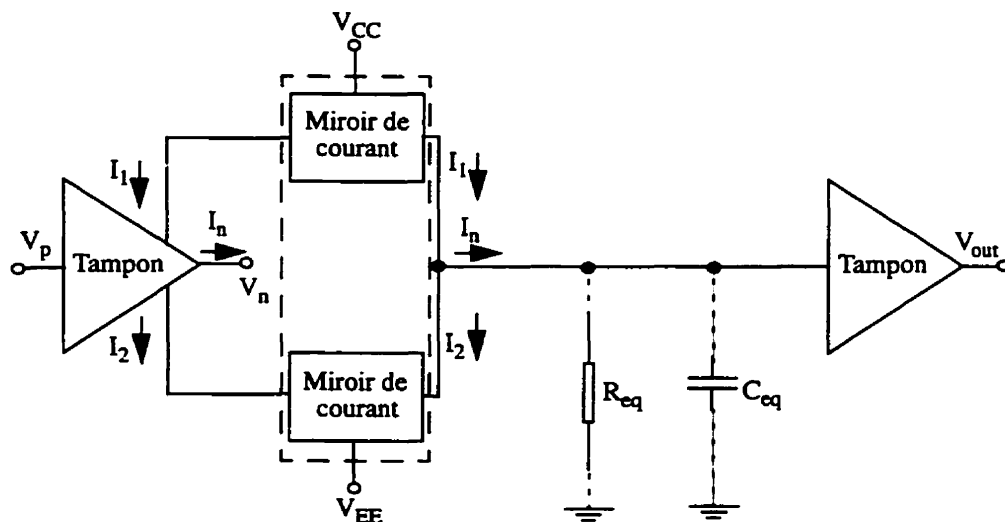


Fig 1.5: Schéma bloc d'un amplificateur opérationnel mode courant.

2) Le deuxième bloc est une paire de miroir de courants Q_9 - Q_{11} et Q_{13} - Q_{15} , qui reflètent les courants I_1 et I_2 et les additionnent à un noeud commun. La figure 1.5 illustre le courant I_n à travers ce noeud.

3) Finalement, un tampon de sortie avec un gain unitaire constitué des transistors Q_5 à Q_8 , transmet la tension du noeud de sommation des courants vers l'extérieur et produit une faible impédance de sortie pour l'amplificateur opérationnel.

Si nous désignons R_{eq} et C_{eq} , la résistance et la capacitance équivalente du noeud de sommation des courants, nous pouvons écrire:

$$V_o = Z(s) I_n, \quad (1.2)$$

où $Z(s)$, appelé le gain de transimpédance en boucle ouverte, est l'impédance résultante de la combinaison parallèle de R_{eq} et C_{eq} . Cette impédance peut être exprimée par:

$$Z(s) = Z(jf) = \frac{Z_0}{1 + jf/f_1} \quad (1.3)$$

où $Z_0 = R_{eq}$

et

$$f_1 = \frac{1}{2\pi R_{eq} C_{eq}} \quad (1.4)$$

Nous observons une similitude avec les amplificateurs opérationnels mode tension,

à l'exception du fait que maintenant l'erreur de signal I_n est un courant et non pas une tension et que le gain $Z(s)$ est V/A et non pas V/V . Le gain $Z(s)$ de ce type d'op.amp. est approximativement constant dans un intervalle de fréquence allant de 0 (dc) à f_1 , après cette fréquence, il diminue au fur et à mesure que la fréquence augmente.

1.2.2 Caractéristiques en boucle fermée

La figure 6 montre un modèle simplifié d'amplificateur opérationnel mode courant avec deux résistances de rétroaction (R_1 et R_2) pour le configurer en amplificateur non inverseur. Un déséquilibre entre les entrées V_p et V_n produit un courant de déséquilibre I_n fourni par le tampon d'entrée vers le circuit de rétroaction et vice versa. D'après l'équation (1.2), ce déséquilibre laisse V_o varier négativement ou positivement jusqu'à ce que le déséquilibre de courant soit neutralisé par la boucle de rétroaction négative.

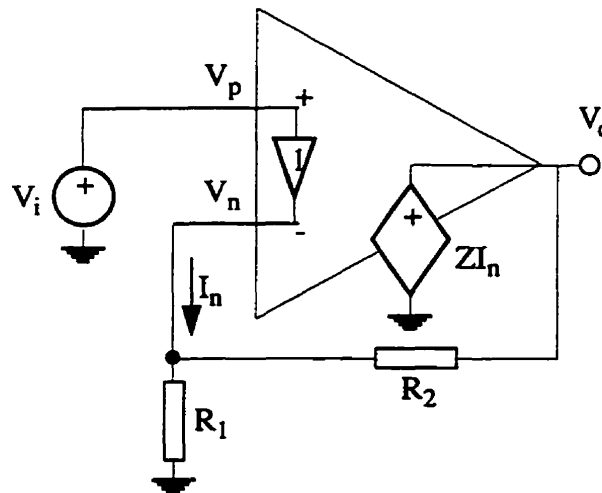


Fig. 1.6: Configuration non inverseur.

Tenant compte du fait que le tampon d'entrée garde $V_n = V_p = V_i$, nous pouvons appliquer le principe de superposition et écrire:

$$I_n = \frac{V_i}{R_1 \parallel R_2} - \frac{V_o}{R_2} \quad (1.5)$$

Il est clair que le signal de rétroaction $\frac{V_o}{R_2}$ est maintenant un courant et le facteur de rétroaction $\frac{1}{R_2}$

(1.6)

est maintenant de la forme A/V . En utilisant l'équation (1.2) nous trouvons:

$$A_{CL}(j2\pi f) = \frac{V_o}{V_i} = \left(1 + \frac{R_2}{R_1}\right) \frac{1}{1 + 1/T(j2\pi f)} \quad (1.7)$$

où $A_{CL}(j2\pi f)$ est le gain en boucle fermée du circuit et

$$T(jf) = \frac{Z(j2\pi f)}{R_2} \quad (1.8)$$

Cette notation, est due, encore une fois au fait que le courant qui se propage autour de la boucle de rétroaction est d'abord multiplié par $Z(j2\pi f)$ pour être ensuite converti en tension, et divisé par R_2 pour être converti à nouveau en courant, d'où le gain total de l'amplificateur opérationnel donné par $T(j2\pi f) = Z(j2\pi f)/R_2$. Pour faire en sorte que $A_{CL}(j2\pi f)$ soit le plus proche possible de sa valeur idéale $1 + R_2/R_1$, il est nécessaire que $T(j2\pi f)$ soit le plus grand possible. Pour assurer un gain de boucle assez important, les concepteurs tendent à maximiser $Z(j2\pi f)$ par rapport à R_1 .

1.2.3 Plage dynamique

En substituant l'équation (1.3) à (1.8) et puis à l'équation (1.2) et tenant compte du fait que $\frac{Z_o}{R_2} \gg 1$, nous obtenons:

$$A_{CL}(jf) = \frac{A_{CL0}}{1 + jf/f_2} \quad (1.9)$$

où

$$A_{CL0} = 1 + \frac{R_2}{R_1} \quad (1.10)$$

est le gain dc en boucle fermée, et

$$f_2 = \frac{Z_o f_1}{R_2} = \frac{1}{2\pi R_2 C_{eq}} \quad (1.11)$$

est la bande passante en boucle fermée. Avec R_2 de l'ordre de quelques $k\Omega$ et C_{eq} de l'ordre de quelques pF, f_2 est typiquement de l'ordre de quelques centaines de MHz.

Nous sommes maintenant en mesure d'énoncer deux observations importantes:

1) l'équation (1.11) montre que pour un amplificateur donné, la bande passante en boucle fermée dépend seulement de R_2 . Nous pouvons donc utiliser R_2 pour ajuster la bande passante f_2 par le biais de l'équation (1.11), et R_1 règle le gain dc A_{CL0} par le biais de l'équation (1.10). La possibilité de fixer le gain indépendamment de la bande pas-

sante, et l'absence du compromis gain-bande passante constituent le premier avantage majeur offert par les amplificateurs opérationnels mode courant par rapport aux amplificateurs opérationnels mode tension (voir figure 1.7).

2) La deuxième observation provient de l'absence d'une limitation en termes de taux de changement du signal de sortie («*slew rate*»), ce qui est un autre avantage majeur des op.amp. mode courant. Par exemple, supposons que nous appliquons une entrée $V_i = V_m$ au circuit de la figure 1.6 et tenant compte aussi de la figure 1.5, le courant de déséquilibre I_n qui en résulte produit une tension de sortie V_o tel que:

$$I_n = C_{eq} \frac{dV_o}{dt} + \frac{V_o}{R_{eq}} \quad (1.12)$$

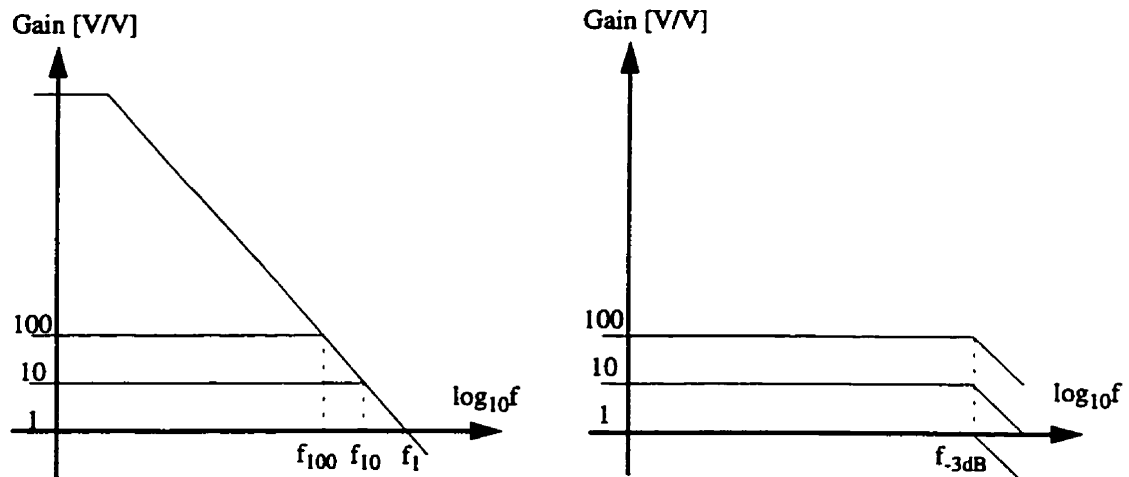


Fig. 1.7: Comparaison des caractéristiques des amplificateurs opérationnels mode tension (gauche) et mode courant (droite).

En substituant dans l'équation (1.5) et tenant compte du fait que $\frac{R_2}{Z_o} \ll 1$, nous obtenons:

$$R_2 C_{eq} \frac{dV_o}{dt} + V_o = A_{CL0} V_m \quad (1.13)$$

qui indique une sortie transitoire exponentielle quel que soit V_m . La constante de temps de cette transitoire est

$$\tau = R_2 C_{eq} \quad (1.14)$$

que nous pouvons fixer avec R_2 , quel que soit A_{CL0} .

1.2.4 Effets de second ordre

L'analyse ci-haut montre qu'une fois R_2 fixé, la bande passante ne dépend plus du facteur qui fixe le gain en boucle fermée. En pratique, il a été trouvé que la bande passante et le temps de montée varient avec le gain. Au pire cas, cette variation n'est pas aussi dramatique que celle rencontrée avec les op.amp. mode tension. La cause principale de cette variation est la résistance de sortie R_{inv} du tampon d'entrée, qui est idéalement supposée être nulle, et dont l'effet est de modifier le gain de boucle et par conséquent la bande passante de l'op.amp. en boucle fermée. A partir de la figure 1.8, I_n peut être exprimé par

$$I_n = \frac{V_i}{R_{inv} + R_1 \parallel R_2} - \frac{V_o}{R_2 + \left(1 + \frac{R_1}{R_2}\right) R_{inv}} = \frac{V_o}{R_2 + A_{CL0} R_{inv}} \quad (1.15)$$

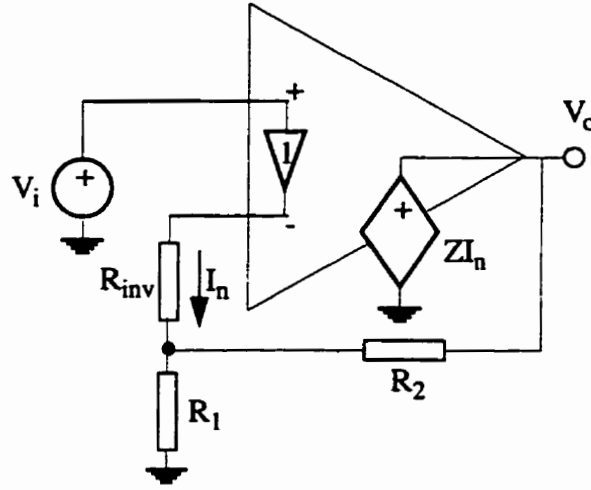


Fig. 1.8: Effet de l'impédance de sortie du tampon d'entrée (R_{inv}).

En comparant l'équation (1.15) avec (1.5), nous observons que l'effet de R_{inv} consiste à remplacer R_2 par $R_2 + A_{CL0}R_{inv}$. La fréquence à -3dB, que nous notons par f_{CL} , est obtenue en remplaçant R_2 par $R_2 + A_{CL0}R_{inv}$ dans l'équation (1.11),

$$f_{CL} = \frac{Z_0 f_1}{R_2 + A_{CL0} R_{inv}} = \frac{1}{2\pi (R_2 + A_{CL0} R_{inv}) C_{eq}} \quad (1.16)$$

La figure 1.9 montre la réduction de la bande passante due à l'effet produit par R_{inv} . Nous notons ici que ces réductions se comparent favorablement avec les op.amp. mode tension. Les valeurs de R_1 et R_2 peuvent être ajustées pour compenser la réduction de la bande passante. En utilisant l'équation (1.16), nous pouvons déduire R_2 pour une bande passante donnée f_{CL} et un gain dc A_{CL0} donné

$$R_2 = \frac{Z_0 f_1}{f_{CL}} - A_{CL0} R_{inv} \quad (1.17)$$

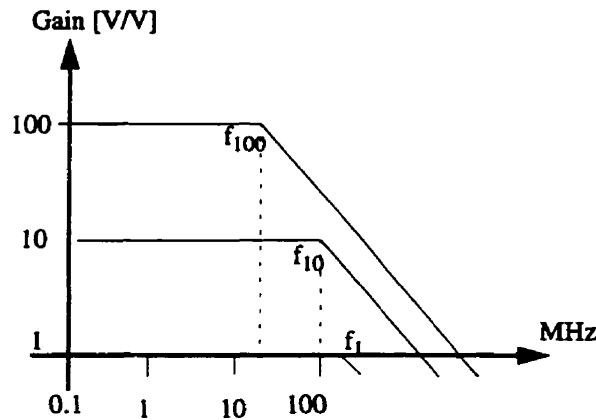


Fig. 1.9: Réduction de la bande passante en fonction du gain.

et en utilisant l'équation (1.10), nous pouvons déduire R_1 pour un gain de A_{CL0} donné,

$$R_1 = \frac{R_2}{A_{CL0} - 1} \quad (1.18)$$

Nous concluons en soulignant que, malgré la supériorité des op.amp. mode courant par rapport aux op.amp. mode tension en ce qui concerne la réponse en fréquence, ils ont l'inconvénient d'avoir des tensions de décalage assez importantes [CHE95]. Il s'avère important que le concepteur du circuit examine les avantages et les inconvénients avant de décider quel type d'op.amp. est le plus adéquat pour le type d'application désirée.

1.2.5 Développements récents

La majorité des amplificateurs opérationnels mode courant (CFOAs) que l'on retrouve sur le marché ou qui sont en plein développement dans le cadre des travaux de recherche, ont été réalisés à l'aide de la technologie bipolaire. Cependant, la préférence

que portent les chercheurs à la technologie CMOS pour les applications mixtes analogiques/numériques les incite à examiner les possibilités qu'elle offre pour la réalisation de CFOAs. A notre connaissance, ces possibilités n'ont été examinées que récemment par Bruun [BRU93]. En effet, il a clairement identifié les problèmes des CFOAs réalisés en CMOS. Ces problèmes sont liés à la tension de seuil de conduction des transistors MOS comparée au niveau de la tension d'alimentation utilisée et à la faible valeur de transconductance des MOS. Dans ce qui suit, nous élaborerons davantage sur ces problèmes et discuterons des solutions proposées par des chercheurs qui travaillent activement dans ce domaine de recherche, tout en introduisant bien sûr, les nouveaux points qui n'ont pas été traités et qui constitueront les chapitres 3 et 4 de cette thèse.

Une approche commune pour réaliser un CFOA en technologie CMOS est d'adopter la configuration bipolaire (fig. 1.10), mais de remplacer les transistors bipolaires par des transistors MOS (fig. 1.11) [BRU93].

Les deux circuits de la figure 1.11 sont des sources-suiveurs. Pour cela, ils ont le potentiel d'opérer à haute vitesse. Normalement, la bande passante est limitée par l'impédance de l'entrée négative. La structure complémentaire de ces étages assure de bonnes performances en ce qui à trait au taux de changement de la sortie («*Slew Rate*»).

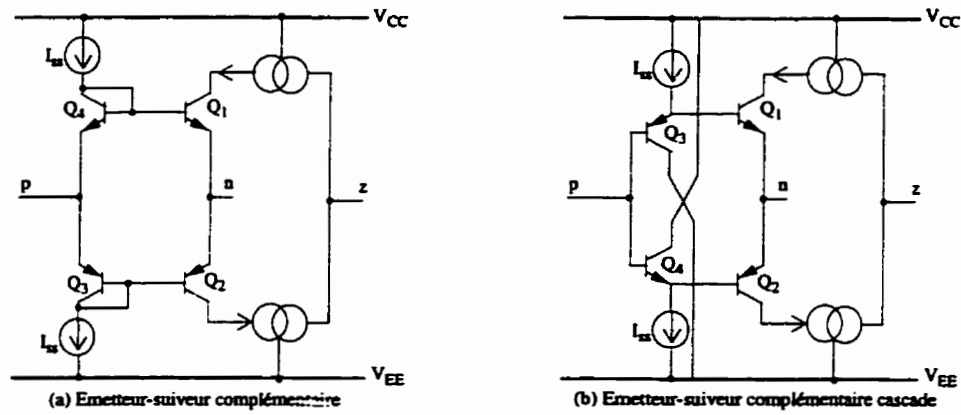


Fig. 1.10: Étages d'entrées d'un CFOA en bipolaire.

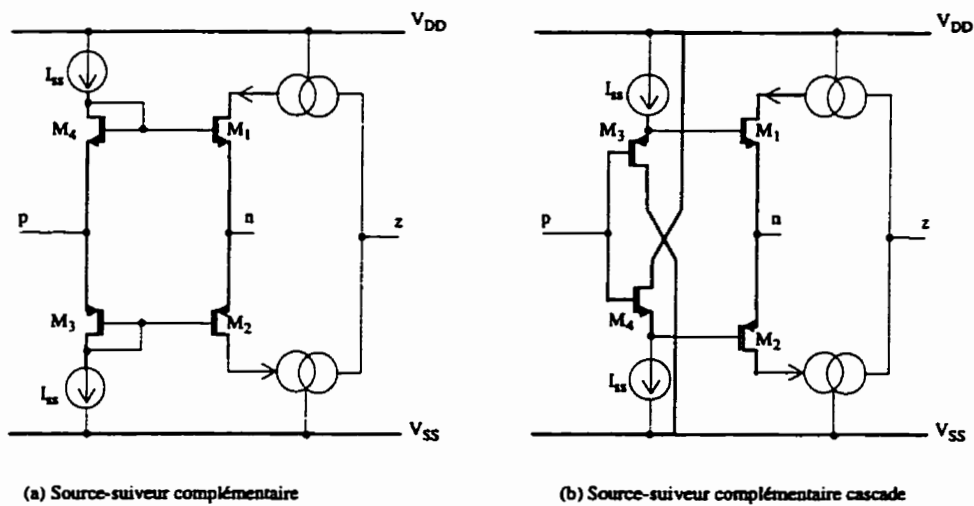


Fig. 1.11: Étages d'entrées d'un CFOA en CMOS.

Quand ces étages sont utilisés avec des miroirs de courant MOS, la performance en terme de fréquence est alors limitée par la constante de temps qui, à son tour, est imposée par l'entrée du miroir.

En ce qui concerne les caractéristiques DC, les deux circuits ont des propriétés différentes. Premièrement, nous examinons l'étage d'entrée source-suiveur de la figure 1.11(a), puis ensuite, l'étage d'entrée cascade de la figure 1.11(b) sera analysé.

1.2.5.1 Etages d'entrée source-suiveur complémentaire

Dans ce circuit, les transistors M3 et M4 produisent la tension de polarisation nécessaire pour M1 et M2. Le gain de tension entre les noeuds p et n est donné par

$$Gain = \frac{g_{m1} + g_{m2}}{g_{m1} + g_{m2} + g_{mb1} + g_{mb2}} \times \frac{g_{m3} + g_{m4} + g_{mb3} + g_{mb4}}{g_{m3} + g_{m4}} \quad (1.19)$$

où g_{mM} et g_{mbM} représentent la transconductance du transistor M et de son substrat, respectivement. Vu que la charge capacitive attaquée est très petite dans les circuits intégrés, les impédances de sortie r_{oM} sont ignorées. En basses fréquences, l'impédance de l'entrée négative du CFOA est donné par:

$$R_n = \left(g_{m1} + g_{m2} + g_{mb1} + g_{mb2} \right)^{-1} \quad (1.20)$$

et celle de l'entrée positive est la combinaison parallèle de la résistance de sortie des sources de courant des transistors M3 et M4, respectivement.

Si le transistor M1 est similaire à M4 et de même pour le couple M2 et M3, nous obtenons un gain unitaire, soit: $Gain = 1$, la tension de décalage entre p et n est théoriquement nulle. N'importe quel incohérence («*mismatch*») entre M1 et M4 ou M2 et

M3 a un effet, à la fois sur le *Gain* et sur la tension de décalage entre p et n. Pour une technologie de fabrication CMOS standard, la tension de décalage peut être de l'ordre de quelques millivolts.

Une autre source importante d'erreur est celle provenant de la différence entre les courants de polarisation de M3 and M4. Normalement, ces deux courants sont générés avec une seule source de courant, par le biais d'un miroir de courant approprié. Avec une précision de 95%, une erreur de courant de l'ordre de quelques micro-ampères peut se produire pour un courant de polarisation de quelques centaines de micro-ampères [BRU92]. Bien sûr, pour éliminer cette erreur, un ajustement externe qui balance les courants d'entrée des miroirs de courant M4-M1 et M3-M2 peut être utilisé. Notons que ce genre d'ajustement est indésirable dans les réalisations hautes performances des CFOAs.

Malgré les inconvénients décrits ci-haut, le circuit de la figure 1.11(a) peut être très intéressant comme tampon d'entrée pour les CFOAs rapides en technologie CMOS.

1.2.5.2 Étages d'entrée source-suiveur cascade

La configuration montrée à la figure 1.11(b) peut être analysée comme étant la connexion parallèle de deux sources-suiveurs cascades M3-M1 et M4-M2 respectivement. Le gain petit signal *Gain* entre p et n est

$$Gain = \left(\frac{g_{m1}g_{m3}}{g_{m3} + g_{mb3}} + \frac{g_{m2}g_{m4}}{g_{m4} + g_{mb4}} \right) \times \frac{1}{g_{m1} + g_{m2} + g_{mb1} + g_{mb2}} \quad (1.21)$$

Dans ce cas, en basse fréquence, l'impédance de l'entrée négative du CFOA est donnée par:

$$R_n = \left(g_{m1} + g_{m2} + g_{mb1} + g_{mb2} \right)^{-1} \quad (1.22)$$

Pour ce circuit, nous soulignons qu'en basse fréquence, le gain petit signal est plus petit que 1, ceci est dû à l'effet de substrat. Une autre propriété de ce circuit est sa tension de décalage (V_{off} entre p et n, due à la différence entre les tensions de seuil de conduction des transistors N et P. Cette tension peut être représentée par [BRU92]:

$$V_{off} = \frac{1}{\sqrt{\beta_N} + \sqrt{\beta_P}} \left[\sqrt{\beta_P} \left(\sqrt{\frac{2I_{ss}}{\beta_N}} + V_{T2} + V_{T4} \right) - \sqrt{\beta_N} \left(\sqrt{\frac{2I_{ss}}{\beta_P}} - V_{T1} - V_{T3} \right) \right] \quad (1.23)$$

où V_{TM} représente la tension de seuil du transistor M, et où

$$\beta_N = \frac{W_N}{L_N} K_N \quad (1.24)$$

$$\beta_P = \frac{W_P}{L_P} K_P \quad (1.25)$$

avec W_N , W_P , L_N , L_P , K_N et K_P les largeurs des canaux, les longueurs des canaux et les paramètres de transconductance des transistors canal-N et canal-P respectivement. Avec $B_N \neq |B_P|$, $V_{T1} \neq |V_{T3}|$ et $|V_{T2}| \neq V_{T4}$ (dû à la différence entre la conductance des transistors à canal-N et à canal-P et aux effets de substrat), nous pouvons avoir des tensions de décalage de quelques centaines de millivolts. En plus, cette tension de décalage

est sensible aux variations des tensions de seuil de conduction des transistors M1-M4. Ces observations sont similaires à celles faites pour l'étage d'entrée de la figure 1.11(a). Un avantage majeur de l'étage d'entrée cascade est l'erreur de courant négligeable de son entrée positive p. Ceci est dû au fait que l'entrée p est connectée seulement à des grilles.

Les deux problèmes présentés jusqu'à maintenant (la tension de décalage et l'erreur de gain) n'ont pas été traités dans la littérature sur les CFOAs en technologie CMOS. Cependant, deux architectures ont été envisagées pour compenser la tension de décalage dans les CFOAs bipolaires. L'architecture la plus populaire consiste à insérer un transistor connecté-diode en série avec chaque émetteur-suiveur [KOU89]. Cette technique dégrade beaucoup la performance du CFOA en terme de fréquence [TOU93], ceci est dû à une augmentation d'impédance de l'entrée négative du CFOA. L'autre technique consiste en l'ajustement de I_{PNP} et I_{NPN} [BRO88] avec un choix judicieux des surfaces des émetteurs des NPN utilisés. En considérant que les variations des paramètres sont beaucoup plus prononcées en CMOS qu'en technologie bipolaire, cette dernière méthode ne s'avère pas efficace pour les CFOA en technologie CMOS.

Dans cette thèse, une nouvelle architecture d'un CFOA en technologie CMOS avec un circuit de compensation de la tension de décalage est proposée (chapitre 2). Le CFOA et son circuit de compensation sont réalisés sur une seule puce (compensation intégrée). La méthode de compensation proposée repose sur une combinaison de deux techniques fréquemment exploitées par les concepteurs de circuits analogiques dans différentes applications. Ces deux techniques sont: l'intégration de l'erreur et la rétroac-

tion de courant. Il est à noter que, la méthode de compensation proposée en technologie CMOS peut être utilisée pour compenser les CFOAs bipolaires. Au chapitre 3, la méthode de compensation est améliorée pour compenser non seulement la tension de décalage, mais l'erreur de gain aussi.

1.3 Circuits de transconductance CMOS (VCT)

Dans ce paragraphe nous décrivons quelques circuits de transconductance en technologie CMOS. Nous soulignons qualitativement les performances de ces circuits et nous expliquons en détail (avec leurs équations) ceux qui fonctionnent à haute fréquence. Le circuit de transconductance idéal, aussi appelé amplificateur opérationnel de transconductance ou convertisseur tension-courant («*Voltage to Current Transducer (VCT)*»), est une source de courant contrôlée par une tension avec une transconductance infinie. Les circuits de transconductance sont largement réalisés en technologie CMOS [POS88]. Le circuit de transconductance le plus simple et le plus utilisé est la paire différentielle illustrée à la figure 1.12. Ce circuit offre une excellente performance en fréquence, mais sa linéarité n'est pas très bonne [ALL87][TOU93a].

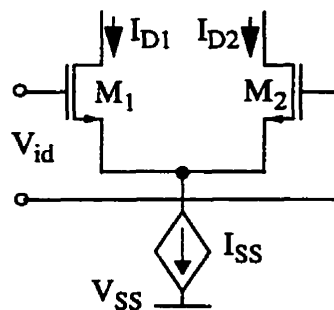


Fig. 1.12: Paire différentielle.

Une amélioration importante de la linéarité peut être obtenue simplement par le croisement de deux paires différentielles [KHO84] comme le montre la figure 1.13. Ce circuit est cependant plus bruyant. Il a cependant été montré que l'amélioration de la linéarité est beaucoup plus importante que le bruit introduit [TOU93a]. Une nette augmentation de la plage dynamique peut donc être obtenue par cette architecture.

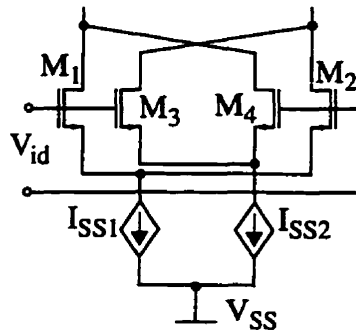


Fig. 1.13: Paires différentielles croisées [KHO84].

Les circuits de transconductance dont le courant maximal de sortie est plus grand que le courant de polarisation fonctionnent généralement en mode dit classe-AB. Ce genre de circuits de transconductance utilise typiquement les caractéristiques du transistor MOS dans la région de saturation pour avoir une bonne linéarité [BUL87]. Plusieurs variétés de circuit classe-AB peuvent être implantés en technologie CMOS [FER85]. La figure 1.14 illustre une réalisation qui a eu beaucoup de succès [PAR86]. Ce circuit est très populaire à cause de sa simplicité et au fait qu'il nécessite une seule entrée de tension. La valeur de la transconductance peut être variée par le biais de tensions de polarisation V_{G1} et V_{G4} .

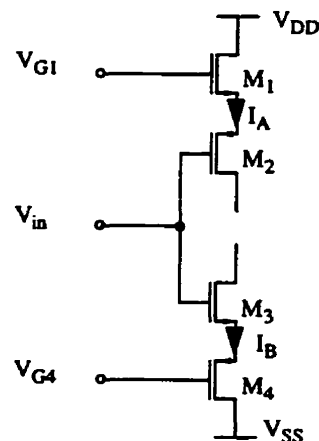


Fig. 1.14: Circuit de transconductance avec deux paires CMOS [PAR86].

Un avantage majeur du circuit de la figure 1.14 est que la transconductance est indépendante de la tension d'alimentation. Malgré sa popularité, ce dernier circuit ne peut produire que des valeurs négatives de transconductance. En plus, le niveau du signal d'entrée en mode commun doit être contrôlé pour éviter des décalages de tensions importants et des courants de sortie en mode commun.

Une solution pour pallier à plusieurs problèmes dont souffrent les circuits de transconductance de classe-AB est montré à la figure 1.15 [SEE87]. Le circuit de transconductance est parfaitement linéaire et peut être ajustée par le biais du courant de polarisation I_B . Comme dans le cas des autres circuits de transconductance de classe-AB, la linéarité est meilleure que celle obtenue de la paire différentielle [TOU93b]. Le courant de sortie peut être obtenu par en haut ou par en bas, ce qui représente une propriété particulière caractérisant ce circuit améliorant beaucoup sa versatilité.

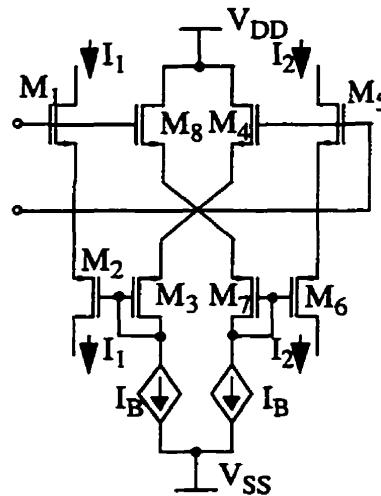


Fig. 1.15: Circuit de transconductance hautement linéaire [SEE87].

Les cellules composées linéaires («*Linear composite cells, composite CMOS-FETs*»), ont été aussi utilisées pour construire des circuits de transconductance linéaire [CHE91]. La figure 1.16 montre un circuit de transconductance linéaire réalisé avec des CMOSFETs composés [HUA93]. Avec cette configuration, la transconductance a une valeur constante et peut être ajustée électroniquement en variant la tension V_C .

Tous les circuits de transconductance considérés jusqu'à maintenant, utilisent le transistor MOS fonctionnant dans la région de saturation. , les éléments résistifs peuvent aussi être utilisés comme circuits de transconductance. Cependant, dans certaines conditions bien déterminées, plusieurs circuits de transconductance, qui utilisent les MOSs dans la région de non-saturation (résistance commandée) ont été décrits dans la littérature [BAN83][KHA89]. Ils possèdent certains avantages par rapport aux circuits considérés

précédemment. En plus de leur simplicité, ces circuits jouissent d'une excellente ajustabilité et une consommation de puissance faible [TOU93b]. Un exemple de cette catégorie de circuits de transconductance est montré à la figure 1.17 [ISM88]. Dans cette configuration, $X1 (=X4)$ et $X2 (=X3)$ sont les signaux d'entrées (AC), tandis que $Y1$ et $Y2$ sont des tensions de polarisation utilisées pour contrôler la transconductance.

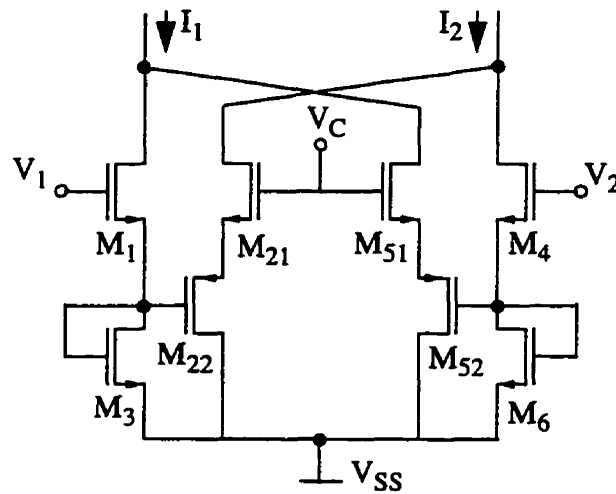


Fig. 1.16: Circuit de transconductance linéaire avec des CMOSFETs composés [HUA93].

Il est important de noter que les entrées du circuit de transconductance, que ce soit X ou Y , n'ont pas à être balancées. Ce circuit peut être utilisé pour développer des filtres continus dans le temps à base de MOSFET et de condensateurs («*single ended MOSFET-C continuous-time filters*») utilisant des op.amp. standards à sortie simple [ISM88], en évitant l'utilisation des amplificateurs opérationnels à deux sorties balancés.

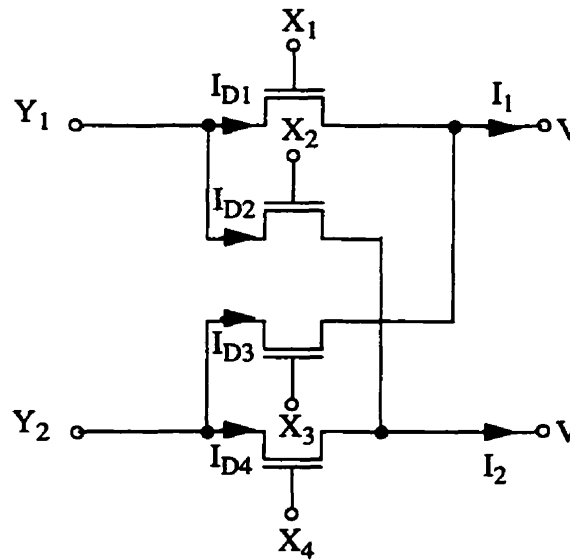


Fig. 1.17: Circuit de transconductance avec des MOSs dans la région linéaire [ISM88].

De toute façon, l'utilisation des structures balancées, élimine la non-linéarité de second ordre, générée par l'effet de dégradation de la mobilité dans les MOSs [RYA87]. Y_i et X_j peuvent simultanément être des signaux AC, tant que tous les transistors fonctionnent dans la région de non-saturation. Dans ce cas, la transconductance résultante est une fonction du temps. Ceci a été utilisé entre autres dans le développement des multiplieurs continus dans le temps [KHA89].

Dans cette revue de littérature sur les circuits de transconductance en technologie CMOS, on est très loin de fournir une revue complète sur toutes les architectures existantes. Plusieurs autres techniques existent pour implanter des circuits de transconductance à haute performance, telles que la dégénération de la source [TSI86][KRU88] et la

méthode de la fonction inverse [TOR85][KLU89]. Il est important de mentionner également que les circuits de transconductance qui peuvent être utiles pour une application ne le sont peut être pas pour une autre, spécifiquement lorsqu'il s'agit d'applications à haute fréquence.

Les circuits de transconductance considérés ci-haut sont tous limités en terme de fréquence et ont été utilisés dans la réalisation des systèmes fonctionnant en bas de 100 MHz. Pour les applications à haute fréquence (> 100 MHz), spécifiquement les filtres, deux architectures récentes ont été développées [NAU92][RAU96]. Chacune de ces architectures est composée de quelques inverseurs CMOS, configurés pour produire des circuits de transconductance linéaires et à haute fréquence. Dans ce qui suit, nous expliquons en détail ces deux architectures, leurs avantages et leurs inconvénients et nous concluons en soulignant leurs points faibles et un moyen pour remédier à cette situation.

1.3.1 Circuit de transconductance à base d'inverseurs

La base de ce circuit de transconductance est l'inverseur CMOS montré à la figure 1.18. Dans la région de saturation, les courants des drains des transistors constituant l'inverseur de la figure 1.18, sont donnés par:

$$I_{Dn} = \frac{K_n}{2} (V_{GSn} - V_{Tn})^2 \quad (1.26)$$

$$I_{Dp} = \frac{K_p}{2} (V_{GSp} - V_{Tp})^2 \quad (1.27)$$

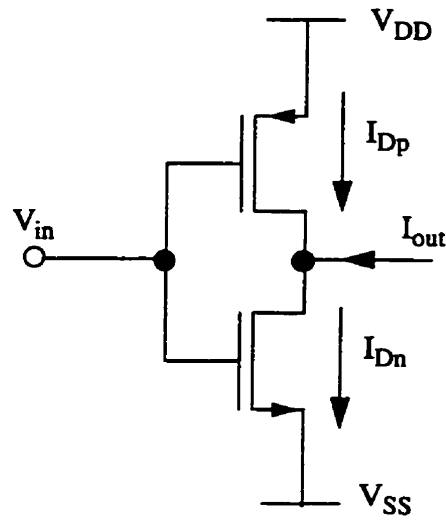


Fig. 1.18: Inverseur CMOS.

$$I_{Dn} = \frac{K_n}{2} (V_{GSn} - V_{Tn})^2 \quad (1.26)$$

$$I_{Dp} = \frac{K_p}{2} (V_{GSp} - V_{Tp})^2 \quad (1.27)$$

Le courant de sortie de l'inverseur est

$$I_{out} = I_{Dn} - I_{Dp} = a(V_{in} - V_{Tn})^2 + bV_{in} + c \quad (1.28)$$

où

$$a = \frac{1}{2}(K_n - K_p) \quad (1.29)$$

$$b = -K_n V_{SS} + K_p (V_{DD} - V_{Tn} + V_{Tp}) \quad (1.30)$$

$$c = \frac{K_n}{2} (2V_{SS}V_{Tn} + V_{SS}^2) + \frac{K_p}{2} [V_{Tn}^2 - (V_{DD} + V_{Tp})^2] \quad (1.31)$$

Selon l'équation (1.28), si $a = 0$, i.e. $K_n = K_p$, la conversion tension-courant est linéaire. Cependant, des non-linéarités peuvent avoir lieu si les différents éléments impliqués ne sont pas identiques. La figure 1.19(a) illustre des structures balancées qui doivent être utilisées pour réduire la non-linéarité. V_{id} , est la tension d'entrée différentielle qui constitue les entrées des deux inverseurs et V_C est la tension en mode commun. La tension V_C est générée par le circuit montré à la figure 19(b).

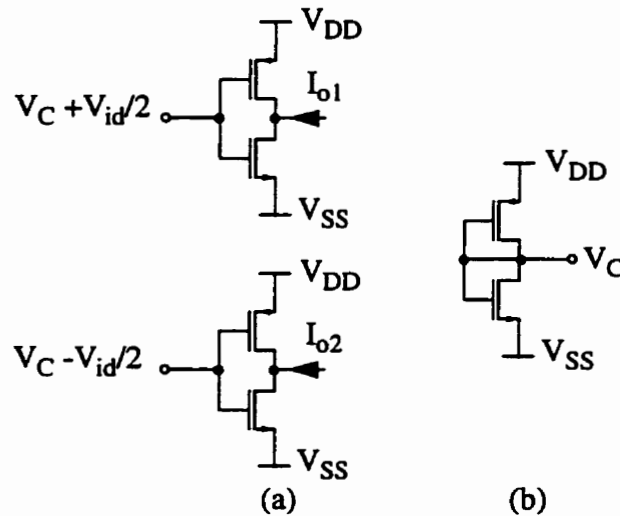


Fig. 1.19: (a) Deux inverseurs balancés avec des signaux balancés pour obtenir une conversion linéaire, (b) Le circuit qui génère la tension en mode commun V_C .

Avec un courant de sortie nul, la tension V_C de la figure 1.19(b) est obtenue en uti-

lisant (1.28) et $V_{in}=V_C$

$$V_C = \frac{V_{DD} - V_{SS} - V_{Tn} + V_{Tp}}{1 + \sqrt{\frac{K_n}{K_p}}} + (V_{SS} + V_{Tn}) \quad (1.32)$$

Pour $K_n = K_p$ et $V_{Tn} = -V_{Tp}$, V_C est tout simplement $(V_{DD}+V_{SS})/1$. Le courant de sortie différentiel de la figure 1.19(a) peut donc être obtenu comme suit:

$$\begin{aligned} I_{od} &= I_{o1} - I_{o2} = \left[a(V_C + V_{id}/2 - V_{Tn})^2 + b(V_C + V_{id}/2) + c \right] \\ &\quad - \left[a(V_C - V_{id}/2 - V_{Tn})^2 + b(V_C - V_{id}/2) + c \right] \\ &= V_{id} [b + 2a(V_C - V_{Tn})] \\ &= V_{id} [K_p(V_{DD} - V_C + V_{Tp}) + K_n(-V_{SS} + V_C - V_{Tn})] \end{aligned} \quad (1.33)$$

En remplaçant V_C par (1.32), nous obtenons:

$$I_{od} = V_{id} (V_{DD} - V_{SS} - V_{Tn} + V_{Tp}) \sqrt{K_n K_p} \quad (1.34)$$

Donc, le courant de sortie différentiel est linéairement lié à la tension d'entrée différentielle même avec $K_n \neq K_p$. Cependant, pour réduire le courant en mode commun, K_n et K_p doivent être identiques.

La figure 1.20 montre le schéma complet du circuit de transconductance où les inverseurs Inv3-Inv6 sont utilisés pour contrôler le niveau mode commun des tensions de sorties, V_{o1} et V_{o2} .

Les courants des sorties des inverseurs Inv3-Inv6 sont donnés par:

$$I'_{o1} = I_{out5} + I_{out6} \quad (1.35)$$

$$I'_{o2} = I_{out4} + I_{out3} \quad (1.36)$$

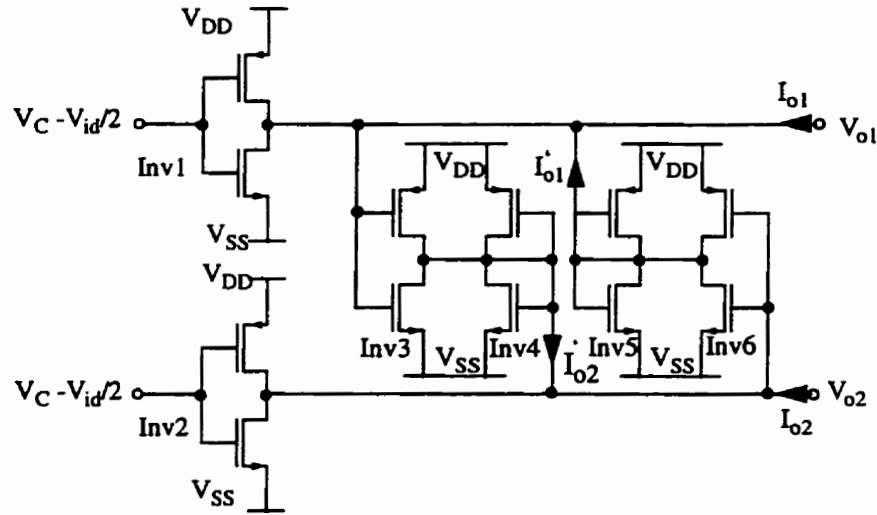


Fig. 1.20: Circuit de transconductance à base d'inverseurs [NAU93].

où I_{outi} , est le courant de sortie de l'inverseur Inv_i . En exprimant les tensions des sorties en fonction de la tension de sortie mode-commun V_{oc} et la tension de sortie mode-différentielle V_{od} , nous obtenons:

$$V_{o1} = V_{oc} + \frac{V_{od}}{2} \quad (1.37)$$

$$V_{o2} = V_{oc} - \frac{V_{od}}{2} \quad (1.38)$$

Les transconductances de ces inverseurs sont supposées être linéaires, i.e.

$K_n = K_p = K$. L'équation (1.28) peut être réduite à:

$$I_{outi} = g_{mi} (V_{in} - V_C) \quad (1.39)$$

où

$$g_{mi} = K (V_{DD} - V_{SS} - V_{Tn} + V_{Tp}) \quad (1.40)$$

et

$$V_C = (V_{DD} + V_{SS} + V_{Tn} + V_{Tp})/2 \quad (1.41)$$

Les courants sont

$$\begin{aligned} I'_{o1} &= g_{m5} (V_{o1} - V_C) + g_{m6} (V_{o2} - V_C) \\ &= (g_{m5} + g_{m6}) (V_{oc} - V_C) + (g_{m5} - g_{m6}) \frac{V_{od}}{2} \end{aligned} \quad (1.42)$$

$$I'_{o2} = (g_{m4} + g_{m3}) (V_{oc} - V_C) + (g_{m4} - g_{m3}) \frac{V_{od}}{2} \quad (1.43)$$

Pour les signaux de sorties en mode commun, les noeuds V_{o1} et V_{o2} sont virtuellement chargés par les résistances $1/(g_{m5}+g_{m6})$ et $1/(g_{m3}+g_{m4})$, respectivement. Pour les signaux de sortie différentiels, les noeuds V_{o1} et V_{o2} sont virtuellement chargés par les résistances $1/(g_{m5}-g_{m6})$ et $1/(g_{m3}-g_{m4})$, respectivement. Si les g_m des quatre inverseurs sont similaires, la résistance en mode commun est faible et la résistance en mode différentielle est infinie. Il en résulte des tensions en mode commun des sorties bien contrôlées.

Le circuit de transconductance de la figure 1.20 est très adéquat pour les applications à haute fréquence, ceci est dû à l'absence de connexion avec les noeuds internes du circuit, i.e. les noeuds qui n'ont pas une connexion directe à l'entrée, à la sortie ou à une tension DC. Pour cela, le circuit n'a pas de capacités parasites internes, par conséquent, n'a pas de pôles et de zéros provenant des noeuds internes. Toutes les capacités parasites du circuit sont présentes aux noeuds d'entrée et de sortie. Dans un filtre à base de transconductances et de condensateurs («*transconductance-C filter*»), qui utilise ce circuit de transconductance comme bloc de base [NAU93], les capacités parasites sont considérées et calculées dans les condensateurs du filtre. Il a été montré [NAU92][NAU93] que de tels filtres fonctionnent bien jusqu'à 100 MHz, en utilisant une technologie CMOS 3 microns. De plus, ce circuit de transconductance a été utilisé dans la réalisation des réseaux neuronaux à haute vitesse [MAS93].

Un inconvénient du circuit de transconductance proposé par Nauta provient de la

manière de l'ajuster. La valeur de transconductance est ajustée par le biais de la tension d'alimentation VDD. Pour cette raison, une tension d'alimentation réglable sur la même puce où réside le filtre est nécessaire pour son bon fonctionnement.

1.3.2 Circuit de transconductance à bande passante très élevée

La figure 1.21 montre le circuit de transconductance à bande passante très élevée. Dans le cas où $V_1 = V_2 = 0$ (pas de signal), les transistors M_1 - M_4 peuvent être choisis pour obtenir des courants résiduels $i_{o1} = i_{o2} = 0$. Ceci peut être obtenu en faisant en sorte que :

$$\frac{K_p W}{2L_{M1}} (V_{CC} - |V_{TP}|)^2 = \frac{K_n W}{2L_{M2}} (V_{B1} - V_{SS} - V_{TN})^2 \quad (1.44)$$

et

$$\frac{K_p W}{2L_{M3}} (V_{CC} - |V_{TP}| - V_{B2})^2 = \frac{K_n W}{2L_{M4}} (V_{SS} + V_{TN})^2 \quad (1.45)$$

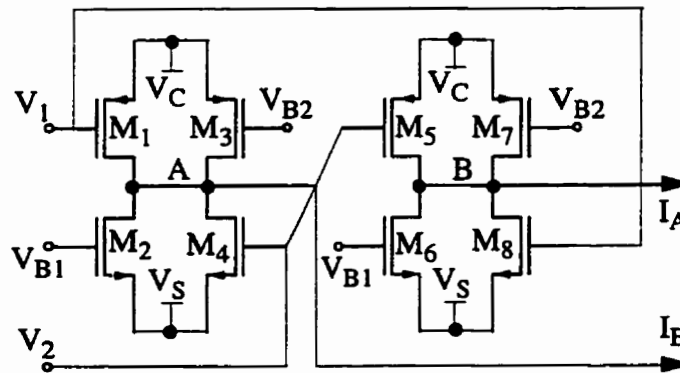


Fig. 1.21: Circuit de transconductance à bande passante très élevée [RAU96].

Avec un signal d'entrée différentielle AC ($V_1 = v$, $V_2 = -v$), les courants aux noeuds A et B s'annulent si les capacités grille-drain C_{gdM1} , C_{gdM4} sont égales. Ceci peut être obtenu en choisissant $W_{M1}C_{GS0} = W_{M4}C_{GS0}$, où C_{GS0} est la capacité par unité de largeur de la grille et W_{Mi} est la largeur du transistor M_i [GEI90]. Pour l'opération grand signal, on considère une entrée différentielle DC ($V_1 = V$, $V_2 = -V$), on suppose $V_{CC} = -V_{SS}$ et le courant de sortie différentiel est donné par:

$$I_{out} = I_A - I_B = -4V[\beta_1(V_{CC} - |V_{TP}|) + \beta_4(V_{SS} - V_{TN})] \quad (1.46)$$

qui est linéairement lié à l'entrée.

Comme le circuit de transconductance de Nauta, le circuit proposé par Raut s'applique aux applications à haute fréquence. Il a été montré [RAU96] que la transconductance obtenue avec cette architecture est constante (198 micro-mhos) jusqu'à 500 MHz, en utilisant une technologie CMOS 1.2 micron.

Tel que discuté plus tôt, malgré la linéarité excellente obtenue avec l'architecture de la figure 1.21, ce circuit présente un problème sérieux. Il ne possède pas un mécanisme pour ajuster la transconductance, ce qui réduit son champ d'application. En effet, ce circuit ne peut pas être utilisé pour construire des filtres à base de transconductances et de condensateurs, où la transconductance doit être réglable pour compenser toutes les variations possibles de la température et des paramètres de la technologie de fabrication utilisée.

Dans cette thèse, une nouvelle architecture d'un circuit de transconductance en technologie CMOS est proposée (chapitre 4). Il s'agit d'une architecture différentielle qui exploite de nouveau la stratégie de Nauta en ce qui concerne les noeuds internes dans le circuit, mais avec un meilleur mécanisme pour ajuster la transconductance via la tension d'alimentation et une architecture plus simple (nombre de transistors plus petit).

CHAPITRE 2

AMPLIFICATEUR OPÉRATIONNEL À RÉACTION EN COURANT, DE GAIN ÉLEVÉ ET DE TENSION DE DÉCALAGE RÉDUITE

Introduction

Les CFOA, sont des amplificateurs qui se distinguent des autres types d'amplificateurs opérationnels par leur bande passante large et leur temps de montée élevé [FRA93], [TOU93a], [CHE95]. Vers la fin des années 80, ce genre d'amplificateurs a trouvé un grand nombre d'utilisateurs dans les applications à hautes fréquences [HAR93]. Les architectures des CFOAs sont basées sur la disponibilité d'éléments complémentaires dans les technologies utilisées, c'est-à-dire des NPN (NMOS) et PNP (PMOS) similaires en technologie bipolaire (CMOS) [HAR93]. La tension de décalage dans un CFOA dépend principalement de la différence des tensions bases-émetteurs (V_{BEs}) dans une technologie bipolaire, ou des tensions de seuils ($V_{\gamma s}$) dans une technologie CMOS. Cette tension de décalage peut atteindre 40 mV dans la plupart des implantations bipolaires des CFOAs [KOU89], [HAR93]. En technologie CMOS, la différence entre les tensions de seuils (ΔV_T) des transistors MOS est beaucoup plus grande que celle entre les tensions bases-émetteurs (ΔV_{BE}) des transistors bipolaires. Cette différence (ΔV_T), peut dépasser 100 mV, même dans les procédés de fabrication modernes.

Pour réduire la tension de décalage dans les CFOAs, deux architectures ont été proposées [KOU89], [TOU93a]. La technique la plus utilisée consiste à insérer un transistor connecté-diode en série avec chaque émetteur-suiveur du circuit [TOU93a]. Cette technique augmente l'impédance de l'entrée négative du CFOA, ce qui dégrade sa performance en fréquence. L'autre technique consiste à équilibrer les courants I_{PNP} et I_{NPN} [KOU89] avec un choix judicieux des surfaces des émetteurs. Cette dernière méthode, ne peut pas être utilisée dans les réalisations CMOS, à cause des variations des paramètres découlant de cette technologie, qui sont beaucoup plus grandes que celles que l'on trouve dans la technologie bipolaire.

Dans l'article qui suit, une méthode pour réduire la tension de décalage dans les CFOA en technologie CMOS est proposée. Cette méthode utilise deux techniques fréquemment utilisées par les concepteurs des circuits analogiques dans plusieurs applications. Ces deux techniques sont: l'intégration de l'erreur et la rétroaction de courant. Une discussion sur les architectures récentes des CFOAs en technologie CMOS est donnée, suivie de la proposition d'une nouvelle architecture d'un CFOA en technologie CMOS. Dans cette architecture, un circuit interne est inclut pour réduire la tension de décalage. Ce circuit est composé de deux blocs essentiels, un bloc qui détecte l'erreur de tension à l'entrée (c.à.d. la différence de tension entre les entrées du CFOA) et qui convertit cette erreur en un courant, le deuxième bloc est un intégrateur de courant qui reçoit le courant du premier bloc et dont la sortie est injectée dans le tampon d'entrée du CFOA. L'opération de ces deux blocs est continue dans le temps, tant qu'il y a une différence de tension (V_{off}) entre les entrées du CFOA.

AN OFFSET COMPENSATED AND HIGH GAIN CMOS CURRENT-FEEDBACK OP AMP

Ali ASSI, Mohamad SAWAN, and Jieyan ZHU

École Polytechnique de Montréal,

Department of Electrical and Computer Engineering

P.O. Box 6079, Station Centre-ville, Montreal, P. Q., Canada H3C 3A7

Journal: IEEE Transactions on Circuits and Systems, I., January 1998

ABSTRACT

The present paper describes a new CMOS current-feedback operational-amplifier (CFOA) with an on-chip continuous-time current-mode input offset voltage compensation circuit. The proposed compensation method is based on a combination of two techniques: the error integration and the current feedback. In addition, this method works irrespective of process and temperature fluctuations, because of its fully symmetrical architecture. HSPICE simulations of the designed CMOS CFOA layout show that the input offset voltage could be reduced to less than 1 mV, a Gain of around 112 dB and a power consumption of less than 3 mW are achievable.

I. INTRODUCTION

CFOA, also called transimpedance amplifier, has been described in [1],[2],[6],[7]. The most important features of CFOAs are wide-band and high slew-rate. CFOAs use a single-stage amplifier architecture, therefore no compensation capacitance is needed. This

type of operational amplifier has found wide use in high-frequency applications since the end of 80's [3]. CFOAs rely on the availability of complementary transistors [3], i.e. very similar NPN and PNP in bipolar or NMOS and PMOS in CMOS technology. The offset voltage of CFOA depends heavily upon the difference of V_{BE} s or V_{TS} . This ranges from a few mV to as high as 40 mV in the most BJT CFOAs as it has been reported in [3],[4]. To date, most researches of CFOAs are focusing on bipolar technology. In addition to the consideration of high-frequency, another important reason is that the ΔV_T between NMOS and PMOS is much bigger than that of V_{BE} s of BJTs. The ΔV_T could be more than 100 mV even in a modern silicon fabrication process.

To overcome input offset voltage in CFOAs, two architectures have been investigated. The most popular one is to insert a diode-connected transistor in series with each emitter follower in [4], [6]. This technique does degrade the CFOAs bandwidth because of an increase of the impedance at its negative input (V_n). The other technique is to scale I_{PNP} and I_{NPN} [4] with proper choice of the emitter areas. This last method is not suitable in CMOS CFOA design because of a much wider dispersion of parameters in CMOS process than in bipolar.

In this paper, a new CMOS CFOA with an on-chip current-mode input offset voltage compensation circuit is proposed. The proposed compensation method is based on a combination of two techniques frequently exploited by analog designers in different applications. These techniques are the error integration and the current feedback. However, the compensation method described in this paper is also suitable for BJT CFOAs.

In section II current-feedback operational-amplifier is reviewed briefly. Section III describes the proposed offset compensation method operating in continuous-time current mode. In section IV, simulation results of the offset compensated CMOS CFOA are presented and discussed. Finally, section V contains the conclusion.

II. PRINCIPLE OF CFOA

The detailed analysis of CFOA's DC and AC performance has been described in [2],[6]. However, a brief description of CFOA will be given in this section. In figure 2.1, V_p and V_n are non-inverting inputs of CFOA respectively. The input stage B1 is a unity-gain buffer forcing V_n to follow V_p . Under an ideal condition, i.e. a fully symmetrical input buffer, one can have $V_n = V_p$. An imbalance at the inputs will cause an imbalance current I_n at V_n . The current I_n is then reflected at the common node V_o' , designated I_n' , by current mirror (CM). The output voltage signal, V_o , is obtained by a second unity-gain buffer, B2. Amplification is produced by a transimpedance stage. Generally, the transimpedance gain Z is very high, therefore a tiny current I_n is needed to obtain a large output voltage magnitude. The C_p at node V_o' is a layout parasitic equivalent capacitance.

A simplified macromodel of the CFOA architecture configured in closed-loop opamp is shown in figure 2.2.

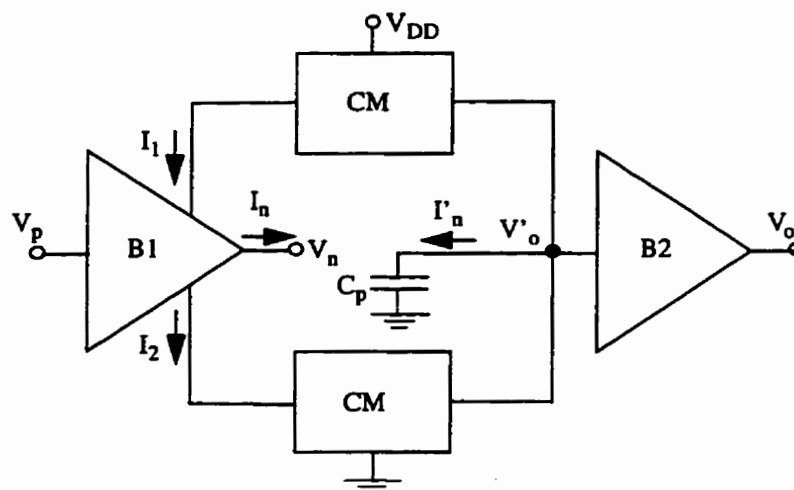


Fig. 2.1: Current-feedback op-amp (CFOA): Typical architecture.

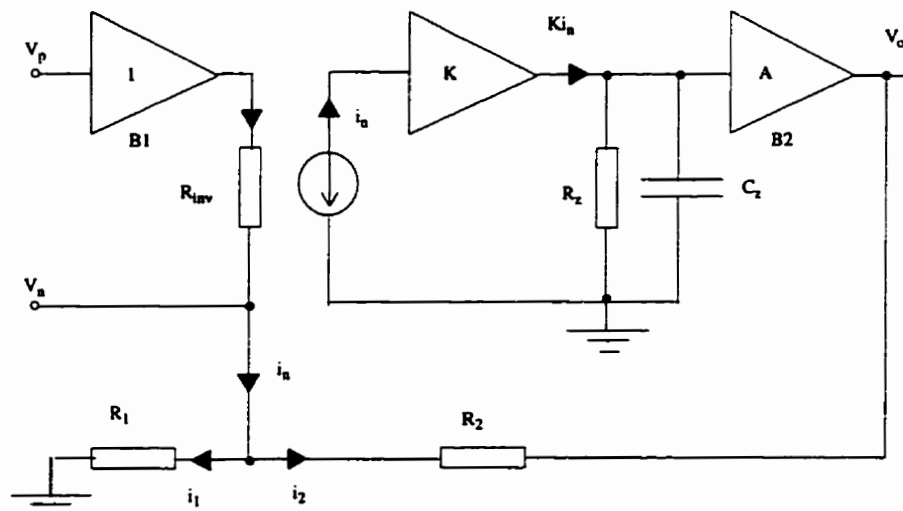


Fig. 2.2: Current-feedback op-amp (CFOA): Closed-loop macromodel.

The output resistance of the input stage buffer R_{inv} is included since it has a significant effect on the bandwidth of the CFOA. The current that flows out from the inverting

terminal i_n is transferred to the gain node, which is represented by R_z and C_z , via a current mirror that has a current gain K . The voltage at the gain node is transferred to the output in the usual way by a voltage buffer, with voltage gain A . The transfer function is given by:

$$\frac{v_o}{v_p} = \frac{1 + \frac{R_2}{R_1}}{1 + j\omega C_z \left[\frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{AK} \right]} \quad (1)$$

and the pole frequency is also given by:

$$f_{-3dB} = \frac{AK}{2\pi C_z \left[R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2 \right]} \quad (2)$$

A full derivation of this transfer function is given in [7].

From the technology point of view, it is simple to manufacture a CFOA design in CMOS because of the availability of NMOS and PMOS transistors in most popular CMOS technologies. A CMOS implementation of a CFOA could be easily derived from an existing bipolar implementation [2], where the PNP and NPN transistors are replaced by PMOS and NMOS transistors respectively. This translation yields a CMOS implementation of CFOA as shown in figure 2.2.

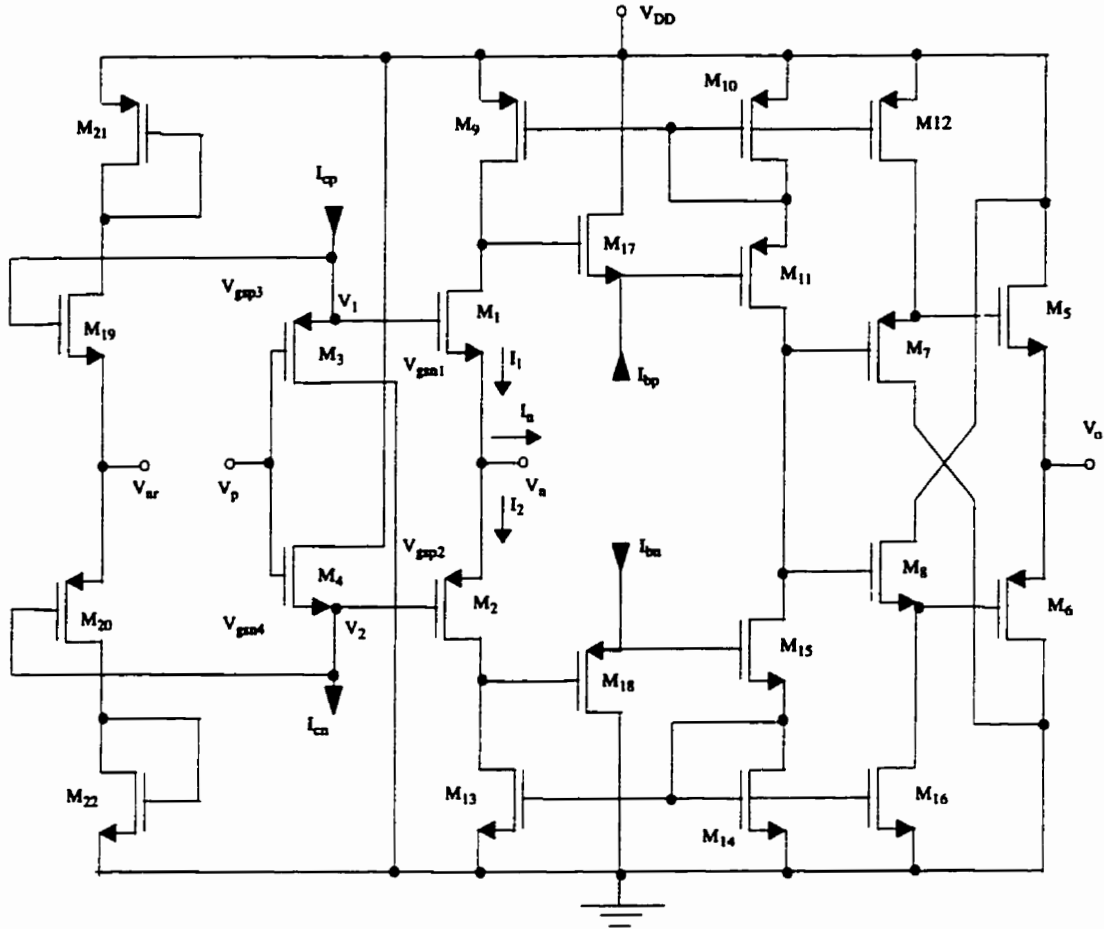


Fig. 2.3: Current-feedback op-amp (CFOA): CMOS implementation.

In this case, the input offset voltage would be:

$$V_n - V_p = |V_{gsp}| - V_{gsn} \quad (3)$$

$$\text{where, } V_{gsp} = V_{Tp} + \sqrt{\frac{2I_p L}{\mu_p C_{ox} W}} \quad \text{and} \quad V_{gsn} = V_{Tn} + \sqrt{\frac{2I_n L}{\mu_n C_{ox} W}} \quad (4)$$

V_{Tn} , V_{Tp} , μ_n , μ_p and Cox are process and temperature dependent parameters. Therefore, they could cause a significant input offset voltage, as high as a few hundreds of mV. To date, this has limited the use of CFOA in CMOS technology. To overcome the input offset voltage in CFOA's in general and in CMOS in particular, we propose in the following section a current-mode offset compensation circuit based on error integration and current feedback.

III. OFFSET COMPENSATION METHOD

The block diagram of the proposed CMOS CFOA with its current-mode offset voltage compensation circuitry is shown in figure 2.4.

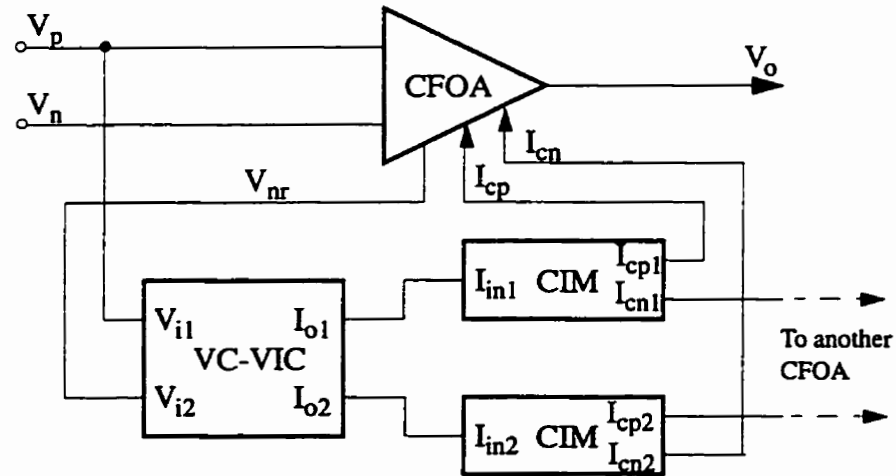


Fig. 2.4: Block diagram of the CFOA with the compensation circuitry.

The compensation circuit consists of a voltage-comparator and voltage-to-current

converter (VC-VIC) and a current integrator/memory (CIM), all are connected in a closed loop. Any offset between V_p and V_n of the CFOA will generate a compensation current I_{cp} or I_{cn} . This current, applied in a negative feedback, forces conversely V_n to become close to V_p . Thus, any offset caused by process or by temperature parameters would be automatically compensated. In figure 2.3, the addition of one column (pseudo negative input), V_{nr} , is necessary for offset compensation circuit and does not have any effect on CFOA's performance, as will be seen later on. The V_{nr} voltage, which is generated by M_{19} - M_{22} , is almost equal to V_n under the DC operating condition when M_{19} - M_{22} are matched with M_1 , M_2 , M_9 , M_{12} . The addition of M_{17} and M_{18} as well as their bias current I_{bp} and I_{bn} respectively makes it possible to reduce the supply voltage of CFOA to $4V_T$, instead of $6V_T$ [4].

The input offset voltage is essentially the offset of the input buffer (M_1 - M_4) [5]. From figure 2.3, it is clear that to let $V_n = V_p$, both the following conditions should be satisfied

$$V_{gsp3} = V_{gsn1} \quad \text{and} \quad V_{gsn4} = V_{gsp2} \quad (5)$$

$$\text{where} \quad V_{gsn1} = V_{Tn} + \sqrt{\frac{2I_1 L_1}{\mu_n C_{ox} W_1}}, \quad V_{gsp2} = V_{Tp} + \sqrt{\frac{2I_2 L_2}{\mu_p C_{ox} W_2}} \quad (6)$$

$$V_{gsp3} = V_{Tp} + \sqrt{\frac{2I_{cp} L_3}{\mu_p C_{ox} W_3}}, \quad V_{gsn4} = V_{Tn} + \sqrt{\frac{2I_{cn} L_4}{\mu_n C_{ox} W_4}} \quad (7)$$

In the balanced case, I_1 is equal to I_2 ($I_n = I_2 - I_1 = 0$). The values of I_1 or I_2 depend

upon the difference between the voltages V_1 and V_2 because

$$V_{gsn1} + |V_{gsp2}| = V_1 - V_2 \quad (8)$$

So $V_1 - V_2$ is considered as a floating biasing voltage.

According to equations (7), the best way to satisfy conditions (5) is by adjusting I_{cp} and/or I_{cn} respectively to force $V_{gsp3} = V_{gsn1}$ and $V_{gsn4} = V_{gsp2}$, and consequently $V_n = V_p$. For this purpose a compensation circuit with accurate differential voltage comparator and voltage-to-current converter (VC-VIC) and current integrator/memory (CIM) are required.

The block diagram of VC-VIC is shown in figure 2.5 [6].

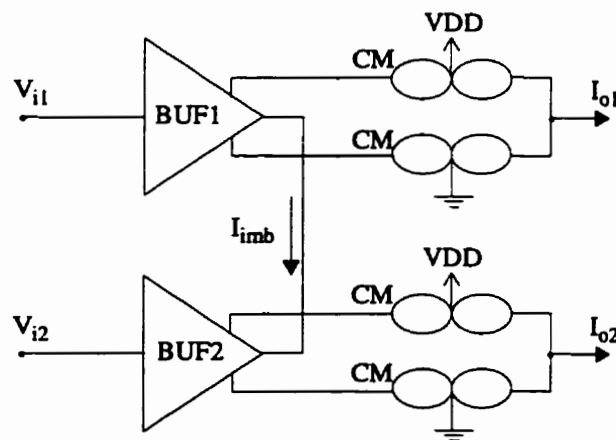


Fig. 2.5: Compensation circuit: Block diagram of the VC-VIC.

Two fully symmetrical source followers BUF1 and BUF2 are used to detect the difference between V_p and V_n of the CFOA when this diagram is integrated as shown in figure 2.2. An imbalance current I_{imb} would be generated if any imbalance caused by an existing offset on those two inputs. I_{imb} is then reflected by two current mirrors to the output forming I_{o1} and I_{o2} . The current outputs I_{o1} and I_{o2} have identical magnitudes but opposite directions. I_{o1} and I_{o2} are then used to drive the current integrator/memory block (CIM). The exploitation of symmetrical architecture in this part makes the intrinsic error minimal. The detailed schematic of half VC-VIC is shown in figure 2.6.

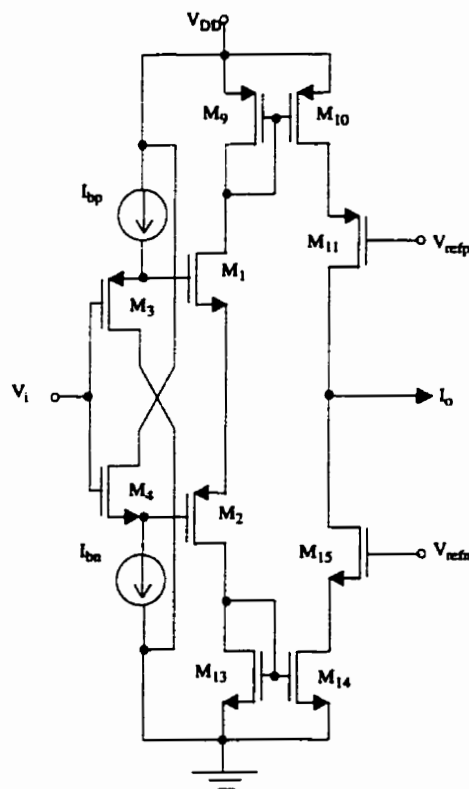


Fig. 2.6: Compensation circuit: Schematic of half VC-VIC.

The detailed schematic of CIM is shown in figure 2.7 [6].

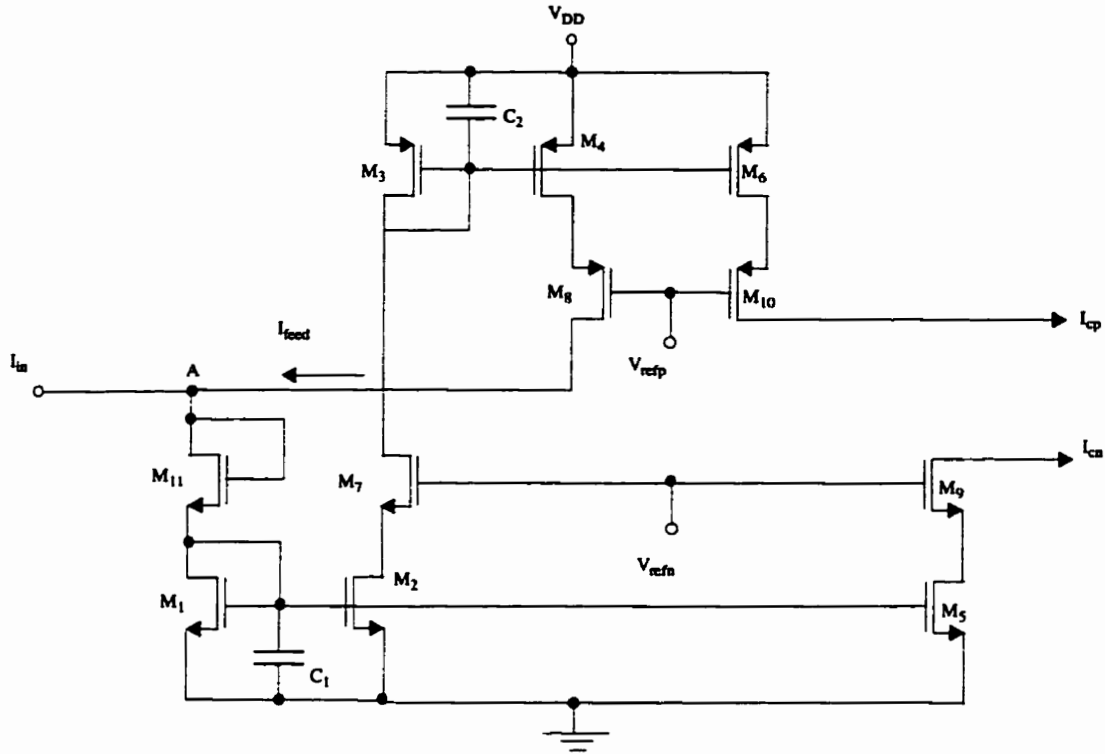


Fig. 2.7: Compensation circuit: Schematic of CIM.

This circuit is used to supply an additional biasing current (I_{cp} or I_{cn}) to the CFOA's input buffer (fig. 2.3) which compensate the CFOA's input offset voltage. In figure 2.7, I_{in} is the integration input current, and I_{feed} is the feedback current. Both of them are summed into the node A. The integrated output current $I_{cp}(t)$ (or $I_{cn}(t)$) is

$$I_{cp}(t) = \frac{g_m}{C} \cdot \int_0^t I_{in} dt \quad (9)$$

where I_{in} is the output current of the VC-VIC, i.e. I_{o1} (or I_{o2}), g_m is the transconductance of transistors M_5 or M_6 , C is the equivalent MOS gate capacitances.

From equation (9), we can see that the output currents of CIM depend upon the magnitude and the direction of I_{in} as well as the time t . C (C_1 or C_2) is used to memorize a stable current in the case of $I_{in} = 0$, therefore its value is not critical to the output current.

The previously discussed CFOA, VC-VIC and CIM were combined in one circuit. Using this circuit, any small imbalance between V_p and V_n would be compensated, consequently reducing the input offset voltage of the CFOA. The addition of V_{nr} in figure 2.3 makes it possible to detect an input offset voltage between V_p and V_{nr} instead of V_p and V_n . In practical applications, V_n serves as a feedback node connection and any AC variation of $V_p - V_n$ should not be reflected to the offset compensation circuit. Therefore, the magnitude of the compensation is entirely dependant upon the dispersion of process parameters, and independant of CFOA's operating condition. Once the compensation is completed, stable output currents I_{cp} and I_{cn} are maintained on the CIM output.

The accuracy of the compensation technique is only dependent on the error of voltage comparison part, not on the absolute value of currents, because the compensation procedure is executed continuously. So, a high accuracy compensation can be achieved by using a fully symmetrical architecture in the VC-VIC's input.

IV. IMPLEMENTATION AND RESULTS

The proposed CMOS CFOA has been simulated with HSPICE using the $0.8\ \mu\text{m}$ BiCMOS technology provided by NORTEL. The simulation results of the VC-VIC and the CIM are shown in figure 8. Even an imbalance of 1mV at the inputs of VC-VIC ($V_{i1}-V_{i2}$) would cause a tiny output current I_{o1} or I_{o2} , which drive the CIM to increase one compensation current, supposing I_{cp} , and to decrease simultaneously the other one, here called I_{cn} . When both the inputs of the CFOA are in balance, the output current of the CIM, I_{cp} and I_{cn} would remain as shown in figure 2.8.

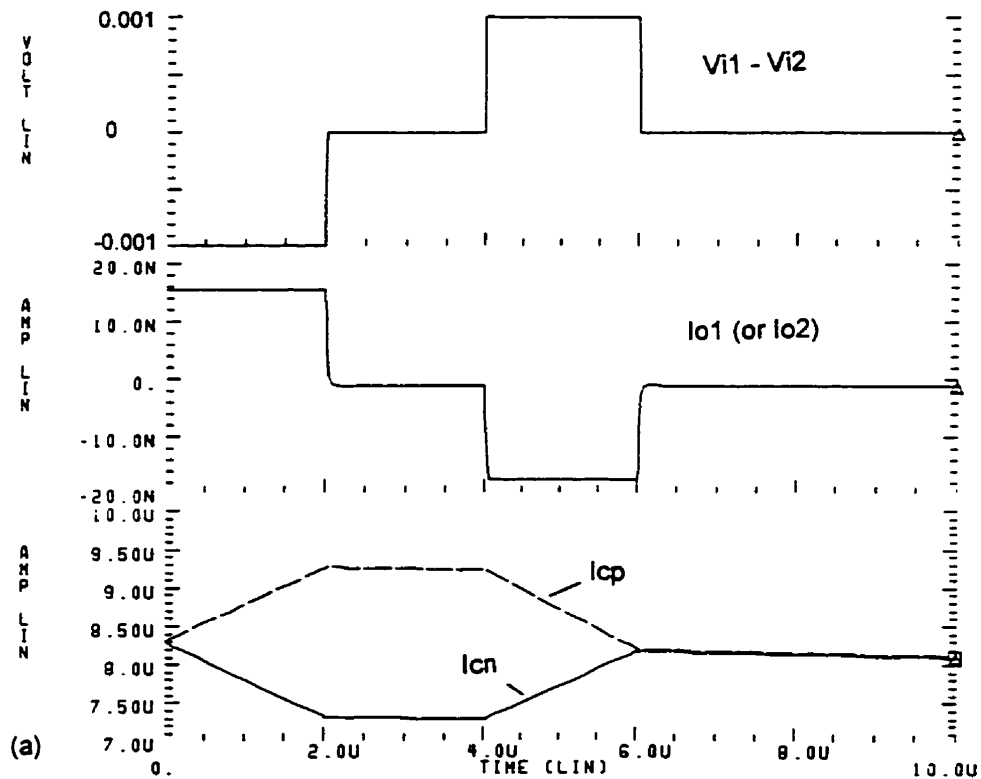


Fig. 2.8: DC performance of the VC-VIC and the CIM.

The input offset voltage of less than 1 mV with compensation and more than 100 mV without compensation are shown in figure 2.9. A few micro-seconds is needed to stabilize the compensation circuit at the beginning of turn-on CFOA's power supply.

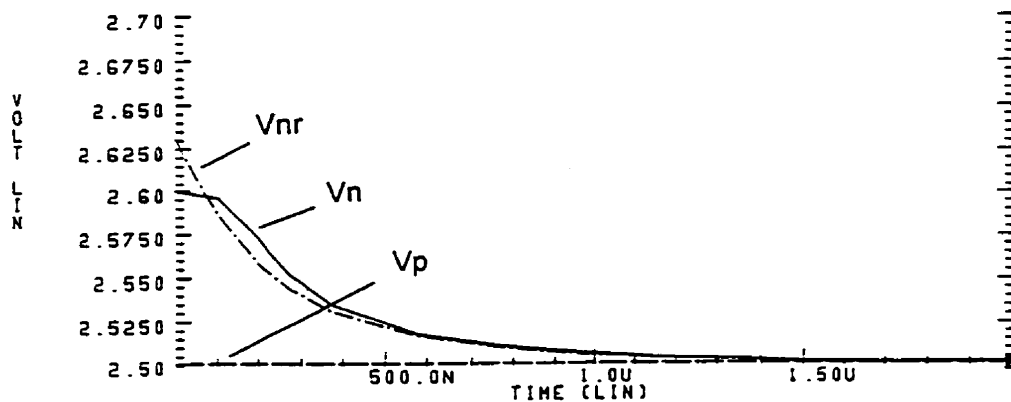


Fig. 2.9: Input offset voltage with and without compensation.

In figure 2.10, an open-loop frequency response is shown with load capacitance $C_L = 1$ pF. A max. gain of around 112 dB was obtained without special optimization of the CFOA AC performance design. The power consumption of the compensated CFOA was less than 3mW. Figure 2.11, shows the closed-loop gain and the -3dB frequency of the CFOA. The layout of the CFOA is shown in figure 2.12. The complete design (with pads) occupy $1340 \times 1500 \mu m^2$. The CFOA occupy only $70 \times 100 \mu m^2$ and the compensation circuit occupy $50 \times 100 \mu m^2$. The layout is now in fabrication process using the $0.8 \mu m$ BiCMOS technology.

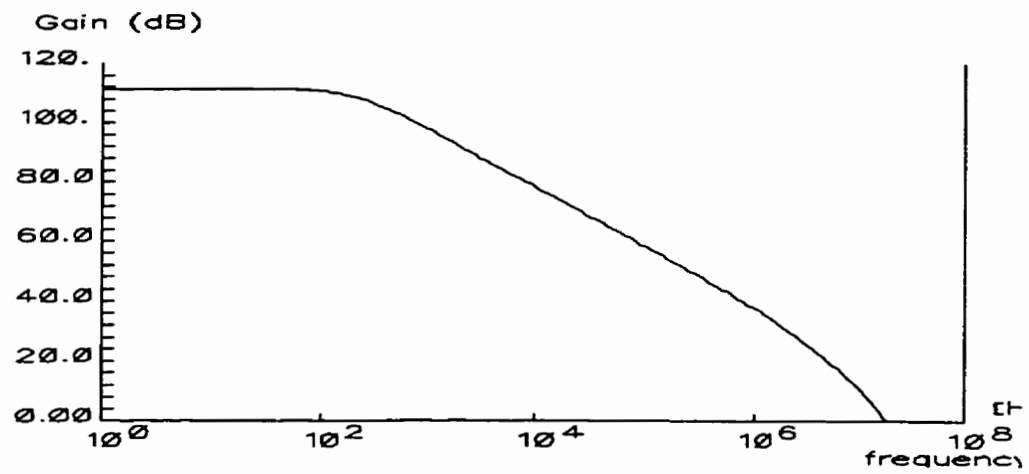


Fig. 2.10: Open-loop gain and GBW of the CFOA.

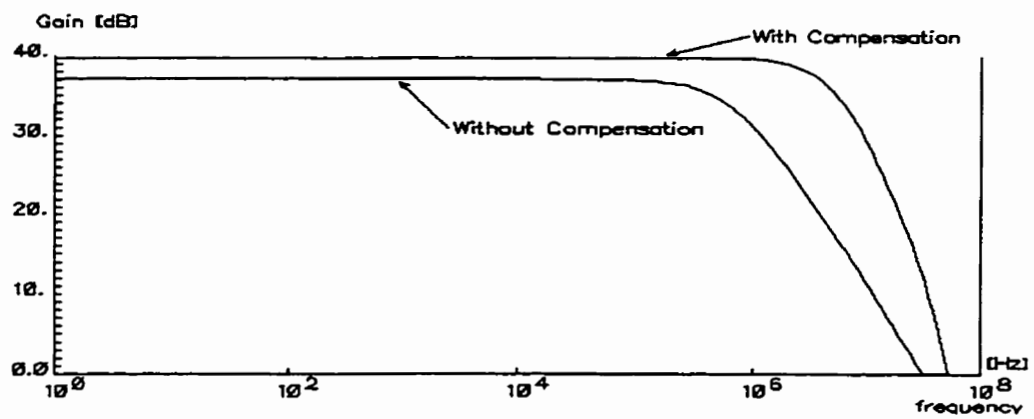


Fig. 2.11: Closed-loop gain and -3dB frequency of the CFOA.

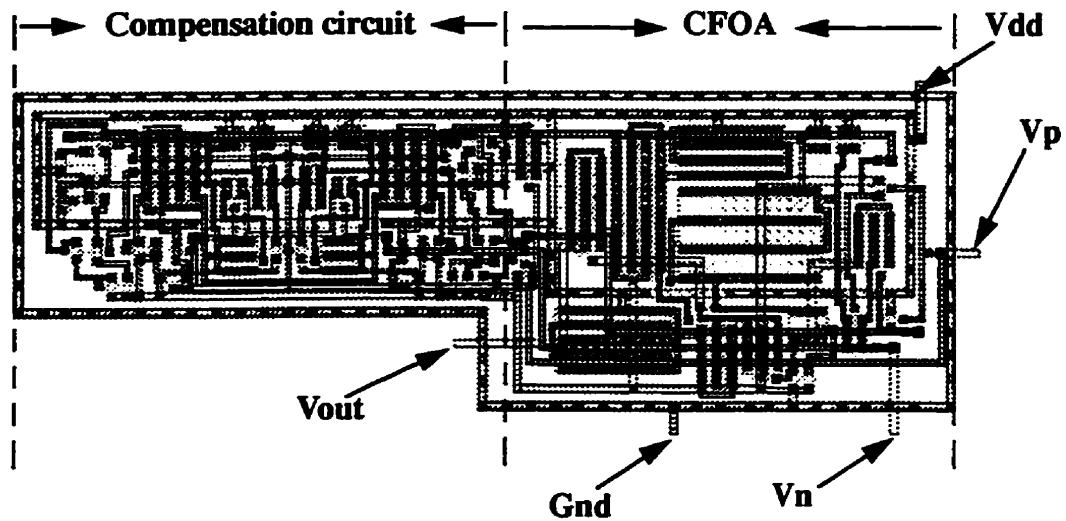


Fig. 2.12. Layout of the CFOA.

V. CONCLUSION

A compensated offset, high gain, CMOS CFOA has been proposed. The offset is reduced to less than 1 mV with $GBW = 20$ MHz, $V_{DD} = 5$ V and a power consumption of less than 3 mW. The presented continuous-time current mode offset compensation method is independent of variations in the fabrication process and temperature parameters.

ACKNOWLEDGMENT

The authors would like to thank the Canadian Microelectronics Corporation (CMC) and the Natural Sciences and Engineering Research Council of Canada (NSERC) for their technical and financial supports.

REFERENCES

- [1] J. Zhu, M. Sawan and K. Arabi, "An Offset Compensated CMOS Current Feedback Operational-Amplifier," *IEEE ISCAS*, pp. 1552-1555, 1995.
- [2] S. Franco, "Analytical Foundations of Current-Feedback Amplifiers," *IEEE ISCAS*, vol. 2, pp. 1050-1053, 1993.
- [3] B. Harvey, "Current-Feedback OPAMP Limitations: A state-of-the-art review," *IEEE ISCAS*, vol. 2, pp. 1066-1069, 1993.
- [4] I. A. Koullias, "A Wideband Low-offset Current-feedback OP AMP Design," *IEEE Bipolar Circuits and Technology Meeting*, pp. 120-123, 1989.
- [5] D. F. Browsers, "The So-called Current-Feedback Operational Amplifier-Technological Breakthrough or Engineering Curiosity," *IEEE ISCAS*, vol. 2, pp. 1054-1057, 1993.
- [6] C. Toumazou, F. J. Lidgey, and D. G. Haigh, "Analogue IC Design, the Current-Mode Approach," *Peter Peregrinus*, pp. 574-583, 149-152, 393-395, 1990.
- [7] Chen, W-K., "The Circuits and Filters Handbook," *A CRC Handbook Published in Cooperation with IEEE Press*, pp. 1741-1775, 1995.

Conclusion

Tout au long de cet article, nous avons montré qu'il est possible de réduire la tension de décalage dans les CFOAs en technologie CMOS. Ceci, en utilisant l'intégration de l'erreur et la rétroaction de courant. Une attention particulière a été donnée au circuit qui réduit la tension de décalage, sans se soucier d'optimiser la performance fréquentielle du CFOA comme tel. Le résultat est un amplificateur qui possède les caractéristiques suivantes: une tension de décalage inférieure à 1 mV, un produit gain-bande passante ($GBW = 20$ MHz) et une consommation de puissance inférieure à 3 mW avec une seule tension d'alimentation de 5 V.

Dans le prochain chapitre, nous allons montrer que même méthode de compensation peut être améliorée pour réduire aussi l'erreur de gain produit par le tampon d'entrée du CFOA.

CHAPITRE 3

TECHNIQUE DE COMPENSATION POUR RÉDUIRE LA TENSION DE DÉCALAGE ET L'ERREUR DE GAIN DES AMPLIFICATEURS OPÉRATIONNELS CMOS À RÉACTION EN COURANT : CONCEPTION ET MESURES

Introduction

Nous avons exposé au cours du chapitre 1, deux problèmes importants dans les réalisations CMOS des CFOAs: la tension de décalage et l'erreur de gain. Le problème de la tension de décalage a été traité dans le chapitre précédent, et dans la présent chapitre nous traitons le problème de l'erreur de gain produit par le tampon d'entrée du CFOA, et qui résulte généralement de l'effet du substrat. Il s'agit de la même technique utilisée pour réduire la tension de décalage avec une modification adéquate de la façon avec laquelle nous comparons les entrées du CFOA. Cette modification aura comme effet, la diminution de l'impédance de l'entrée négative du CFOA, ce qui améliore beaucoup sa réponse en fréquence (chapitre 2). Aussi l'erreur de gain introduite par le tampon d'entrée est éliminée par l'effet continu du processus de la compensation.

COMPENSATION TECHNIQUE TO REDUCE OFFSET AND GAIN ERROR OF CMOS CFOA: DESIGN AND SUBSEQUENTS MEASUREMENTS

Ali ASSI and Mohamad SAWAN

École Polytechnique de Montréal,

Department of Electrical and Computer Engineering

P.O. Box 6079, Station Centre-ville, Montreal, P. Q., Canada H3C 3A7

Journal: **IEEE Trans. Circuits Syst. II.**

Status: Submitted on August 1997, Accepted in January 1998

ABSTRACT

An important aspect of the performance of an amplifier is its low-input offset voltage, specially when signals to be amplified are in the range of few hundreds μ V. In this paper, a new CMOS current-feedback operational-amplifier (CFOA) with an on-chip current-mode input offset voltage compensation circuit is investigated. The offset voltage reduction is based on new technique that vary the bias currents of the input buffer as a function of the detected error (input offset voltage). In addition to reducing the input offset voltage, the compensation circuit significantly improves the closed-loop gain by the current-feedback action which cancels the gain error. The inverting-input impedance of the opamp is lowered by the negative feedback of the input buffer. Consequently, the bandwidth roll-off of the opamp is reduced and the closed-loop gain-bandwidth product is improved. The proposed compensation technique is suitable for both CMOS and BJT CFOA designs. HSPICE simulations and measurements on silicon show that using this compensation technique, the input offset voltage can be reduced to less than 1 mV and the closed-loop gain is substantially improved (almost the ideal value in all the cases) with a

power consumption of less than 2.2 mW using single power supply voltage of 5 V. The simulation results as well as the layout of the fabricated and tested chips are based on the model parameters of a $0.8\mu\text{m}$ BiCMOS process from NORTEL.

I. INTRODUCTION

Current feedback operational amplifiers (CFOAs), also called transimpedance amplifiers, are becoming widely available, since they offer analog designers some significant advantages over conventional voltage opamps (VFOAs). Ideally, the bandwidth of the CFOA is independent of the closed-loop gain [1]-[6]. Therefore, the closed-loop gain-bandwidth product (GBW) of CFOA increases linearly with the closed-loop gain, a major advantage over the VFOA architecture which has constant GBW. However, the bandwidth of a practical CFOA starts decreasing with high gain as a result of the finite inverting-input impedance so that the GBW reaches a maximum value. Furthermore, the magnitude of the inverting-input impedance is increased when using conventional circuit design techniques [7] [8] that reduce the input offset voltage.

Most of available CFOA designs have been realized in bipolar technology and their performances and limitations are detailed in [9]-[10]. However, the preference for CMOS in mixed analog/digital systems raises the question of whether CMOS is a viable technology for the implementation of CFOA. Bruun has identified problems related to the application of CMOS technology to CFOAs, and has proposed solutions to some of these problems [11]-[12]. It has been shown that translations of bipolar CFOAs into CMOS

have some weak points in terms of inverting-input impedance, gain error, input offset voltage, and input-signal range.

To overcome input offset voltage in CFOAs, three main architectures have been investigated. The well known one is to insert a diode-connected transistor in series with each emitter follower [8]. This technique does degrade the CFOAs bandwidth because of an increase of the impedance at its negative input. The other technique is to scale I_{PNP} and I_{NPN} [7] with proper choice of the emitter areas. This second method is not suitable in CMOS CFOA designs because of a much wider dispersion of parameters in CMOS processes than in bipolar.

A recently introduced compensation method [13] is based on a combination of two techniques frequently exploited by analog designers in different applications. These techniques are the error integration and the current-feedback. Using this method, the input offset voltage is reduced by adjusting the bias currents of the CFOA input buffer (current-feedback) as a function of the error between the CFOA inputs (error-integration).

In this article, an improved version of the previous CMOS CFOA presented in [13] with an on-chip current-mode input offset voltage compensation circuit is described. Two additional benefits of this technique are: the cancelation of the gain error and the reduction of the inverting-input impedance of the CFOA which improves the closed-loop GBW. Since the proposed CFOA is mainly dedicated to amplify urodynamic signals in the range of few tens of μV [14], the problem of the input signal range is not addressed in this work.

In section 2, the basic concept of CMOS CFOA is summarized, input offset voltage, gain error and limitations related to the inverting-input impedance of this structure are discussed. The compensation technique is detailed in section 3, the basic building blocks of the compensation circuit are described, the mechanism of offset compensation and gain enhancement are discussed. In section 4, measurements of fabricated chips are compared with the simulation results. Finally, section 5 summarizes our conclusions.

II. CURRENT-FEEDBACK OPAMPS

The analysis of CFOAs has been detailed in [2], [13], [15], [16]. However, a brief description will be still given in this section. A simplified macromodel of the CFOA architecture configured in closed-loop opamp is shown in figure 3.1. The current that flows out from the inverting terminal i_n is transferred to the gain node, which is represented by R_z and C_z , via a current mirror that has a current gain K . The voltage at the gain node is transferred to the output in the usual way by a voltage buffer, with voltage gain A . Analysis of the circuit shown in figure 3.1 leads to the following transfer function [15]:

$$\frac{v_{out}}{v_p} = \frac{1 + \frac{R_2}{R_1}}{\left[1 + \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{AKR_z} \right] \left[1 + j\omega C_z \left\{ \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{AK + \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{R_z}} \right\} \right]} \quad (1)$$

The closed-loop gain is given by

$$A_{CL} = \frac{1 + \frac{R_2}{R_1}}{1 + \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{AKR_z}} \quad (2)$$

The pole frequency

$$BW = f_{-3dB} = \frac{AK + \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{R_z}}{2\pi C_z \left[R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2 \right]} \quad (3)$$

and the gain-bandwidth product

$$GBW = \frac{\left(AK + \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{R_z} \right) \left(1 + \frac{R_2}{R_1} \right)}{2\pi C_z \left[R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2 \right] \left[1 + \frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{AKR_z} \right]} \quad (4)$$

If we assume that R_z is very large , then

$$\frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{R_z} \approx 0 \quad (5)$$

The transfer function becomes

$$\frac{v_{out}}{v_p} = \frac{1 + \frac{R_2}{R_1}}{1 + j\omega C_z \left[\frac{R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2}{AK} \right]} \quad (6)$$

The closed-loop gain is

$$A_{CL} = 1 + \frac{R_2}{R_1} \quad (7)$$

The pole frequency becomes

$$BW = f_{-3dB} = \frac{AK}{2\pi C_z \left[R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2 \right]} \quad (8)$$

and the gain-bandwidth product

$$GBW = \frac{AK \left(1 + \frac{R_2}{R_1} \right)}{2\pi C_z \left[R_{inv} \left(1 + \frac{R_2}{R_1} \right) + R_2 \right]} \quad (9)$$

The implementation of CFOAs relies on the use of semiconductor process with complementary device structures for the input and the output stages [2], [12], i.e. very similar NPN and PNP transistors in bipolar or NMOS and PMOS transistors in CMOS technology. From the technology point of view, it is simple to manufacture a CFOA design in CMOS because of the availability of NMOS and PMOS transistors in most popular CMOS technologies. A CMOS implementation of CFOA could be easily derived from the basic bipolar implementation [11], [12], [13], where the PNP and NPN transistors are replaced by PMOS and NMOS transistors respectively. This translation yields a CMOS implementation of CFOA as shown in figure 3.2. The substrates of PMOS and NMOS transistors are connected to V_{DD} and Gnd respectively, these connections are not shown on the circuit diagram.

Bandwidth limitation

The circuit of figure 3.2 utilizes a complementary source follower cascade as input stage. Transistors M_3 and M_4 provide a biasing for the complementary source follower stage M_1 and M_2 . The transimpedance stage is composed of the cascoded current mirrors M_9, M_{10}, M_{11} and M_{13}, M_{14}, M_{15} . Transistors M_5 - M_8 form the output buffer. The basic characteristics obtained from this structure are the transresistance R_z and the inverting input resistance R_{inv} given by

$$R_z = \frac{g_{ds10} + g_{ds11} + g_{m11} + g_{mb11}}{g_{ds10}g_{ds11}} \parallel \frac{g_{ds14} + g_{ds15} + g_{m15} + g_{mb15}}{g_{ds14}g_{ds15}}$$

(10)

and

$$R_{inv} = \left(g_{m1} + g_{m2} + g_{mb1} + g_{mb2} \right)^{-1} \quad (11)$$

where g_{dsi} , g_{mi} , and g_{mbi} denote the drain-source output conductance, the gate transconductance, and the bulk transconductance, respectively, of MOS device number i .

The use of cascoded current mirrors leads to a high value of R_z , which justify the use of equations (5)-(9). The value of R_{inv} is fairly high, about one order of magnitude higher than for bipolar implementation operating at a comparable level of quiescent current [12]. According to equation (8), with high values of closed-loop gain $(1 + \frac{R_2}{R_1})$, a high value of R_{inv} leads to a serious limitation to the bandwidth. Another problem with high values of R_{inv} is the error resulting from the assumption formulated by equation (5), even with high value of R_z , the numerator is increased which gives rise to the expression (5) and its value becomes far from being negligible, in this case, in addition to the degradation of the bandwidth, the closed-loop gain is also reduced and given by equation (2) instead of equation (7).

Gain error

An analysis of the input buffer stage yields the low-frequency gain given by

$$Gain_{buffer} = \left(\frac{g_{m1}g_{m3}}{g_{m3} + g_{mb3}} + \frac{g_{m2}g_{m4}}{g_{m4} + g_{mb4}} \right) \times \frac{1}{g_{m1} + g_{m2} + g_{mb1} + g_{mb2}}$$

(12)

Due to the bulk effect, this gain is smaller than 1, typically in the range of 0.50 to 0.95 [12]. As this gain enters directly as a factor into the closed-loop gain equations of the CFOA, a gain lower than 0.95 is clearly unacceptable for a general purpose opamp.

Input offset voltage

The input offset voltage of CFOA depends heavily upon the difference of V_{BEs} or V_{TIs} . This ranges from a few mV to as high as 40 mV in a conventional BJT CFOA [10]. The difference of V_{TIs} (ΔV_{TIs}) between NMOS and PMOS devices could be more than 100 mV even in a modern silicon fabrication process, and the resulting offset error is typically some hundreds of mV [12]. In DC amplifier applications, the offset voltage and its drift with temperature place a lower limit on the magnitude of the DC voltage which can be detected and amplified. The offset drift (temperature dependence of the offset) tends to increase with increasing values of offset [17]. Thus, the configuration of figure 3.2 cannot be applied directly but as we show in the next section, compensation circuits have been added to the CFOA in order to minimize its input offset voltage.

Referring to figure 3.2, the input offset voltage in a CMOS implementation of CFOA would be:

$$V_n - V_p = |V_{gsp}| - V_{gsn} \quad (13)$$

where,

$$V_{gsp} = V_{Tp} + \sqrt{\frac{2I_p L}{\mu_p C_{ox} W}} \quad (14)$$

and

$$V_{gsn} = V_{Tn} + \sqrt{\frac{2I_n L}{\mu_n C_{ox} W}} \quad (15)$$

V_{Tn} , V_{Tp} , μ_n , μ_p and C_{ox} are process and temperature dependent parameters that could cause a significant input offset voltage as mentioned earlier. So to date, it is hard to build a general purpose CFOA design in CMOS technology.

To overcome this input offset voltage, specifically in CMOS CFOA implementations, we propose in the following section an important version of the current-mode offset compensation circuit which is based on error integration and current feedback.

III. CURRENT-MODE OFFSET COMPENSATION TECHNIQUE

The block diagram of the proposed CMOS CFOA with its current-mode offset voltage compensation circuitry is shown in figure 3.3. The compensation circuit consists of a voltage-comparator and voltage-to-current converter (VC-VIC), and a current integrator (CI), all are connected in a closed loop architecture [13]. Any offset between V_p and V_n of the CFOA will generate a compensation current I_{cp} or I_{cn} . This current, applied in a

negative feedback, forces conversly V_n to become close to V_p . Thus, any offset caused by process or by temperature parameters would be automatically compensated. Since the comparison between V_n and V_p is made also at the signal level, the gain error due to the bulk effect on the source follower transistors is also reduced.

The offset voltage of the CFOA is essentially resulting from the offset of the input buffer (M_1 - M_4) [15]-[16]. From figure 3.2, it is clear that to let $V_n = V_p$, both the following conditions should be satisfied

$$V_{gsp3} = V_{gsn1} \quad (16)$$

and

$$V_{gsn4} = V_{gsp2} \quad (17)$$

where

$$V_{gsn1} = V_{Tn} + \sqrt{\frac{2I_1 L_1}{\mu_n C_{ox} W_1}} \quad (18)$$

$$V_{gsp2} = V_{Tp} + \sqrt{\frac{2I_2 L_2}{\mu_p C_{ox} W_2}} \quad (19)$$

$$V_{gsp3} = V_{Tp} + \sqrt{\frac{2I_{cp} L_3}{\mu_p C_{ox} W_3}} \quad (20)$$

$$V_{gsn4} = V_{Tn} + \sqrt{\frac{2I_{cn} L_4}{\mu_n C_{ox} W_4}} \quad (21)$$

In the balanced case, I_1 is equal to I_2 ($I_n = I_2 - I_1 = 0$). The values of I_1 or I_2 depend upon the difference between the voltages V_1 and V_2 because

$$V_{gsn1} + |V_{gsp2}| = V_1 - V_2 \quad (22)$$

So, $V_1 - V_2$ is considered as a floating biasing voltage.

According to equations (20) and (21), the best way to satisfy conditions (16) and (17) is by adjusting I_{cp} and/or I_{cn} respectively to force $V_{gsp3} = V_{gsn1}$ and $V_{gsn4} = V_{gsp2}$, and consequently $V_n = V_p$. For this purpose a compensation circuit with accurate differential voltage comparator and voltage-to-current converter (VC-VIC) and current integrator (CI) are required.

3.1. The voltage comparator and voltage-to-current converter circuit (VC-VIC)

Two fully symmetrical source followers BUF1 and BUF2 are used to detect the difference between V_p and V_n of the CFOA when this diagram is integrated as shown in figure 3.3. An imbalance current I_{imb} would be generated if there is any imbalance caused by an existing offset on those two inputs. I_{imb} is then reflected by two current mirrors to the output forming I_{o1} and I_{o2} . These currents which have identical magnitudes but opposite directions, are then used to drive the current integrator block (CI). The exploitation of symmetrical architecture in this part makes the intrinsic error minimal. The detailed schematic of half VC-VIC is shown in figure 3.3.

3.2. The current integrator (CI)

This circuit is used to supply an additional biasing current (I_{cp} or I_{cn}) to the input buffer of the CFOA. We note here, the modification we have brought to the (CIM) circuit

introduced recently in [13]. In [13], the compensation circuit was intended to compensate more than one CFOA in the same compensation process. The idea might be good if we guarantee that all the CFOAs have the same input offset voltage, and this is not the case in practical implementations of CFOAs, two different CFOAs might have different input offset voltages, and the compensation circuit which is suitable for one might not be good enough for the other, and since the compensation process works continuously until reaching a stable feedback current, this might lead to some kind of instability of the CFOAs during the compensation process. Furthermore, the compensation of more than one CFOA with the same compensation circuit adds area and power consumption overheads resulting from the need of larger current sources to drive multiple CFOAs. Consequently we have simplified the CIM circuit to end up with the CI circuit shown in figure 3.5.

Referring to figure 3.5, I_{in1} and I_{in2} are the resulting error (offset) from VC-VIC ($I_{in1} = I_{o1}$ and $I_{in2} = I_{o2}$). I_{feed1} and I_{feed2} are two feedback currents. Both, I_{in1} (I_{in2}) and I_{feed1} (I_{feed2}) are summed into the node A1 (A2). The integrated output current I_{cp} and I_{cn} are

$$I_{cp}(t) = \frac{g_{m8}}{C} \cdot \int_0^t I_{in1} dt \quad (23)$$

$$I_{cn}(t) = \frac{g_{m19}}{C} \cdot \int_0^t I_{in2} dt \quad (24)$$

where I_{in1} and I_{in2} are the output currents of the VC-VICs, g_{m8} and g_{m19} are the transconductances of transistors M_8 and M_{19} respectively, C is the equivalent MOS gate

capacitances of transistors M_1 - M_9 (or M_{11} - M_{19}) [13].

From equations (23) and (24), we can see that the output currents of CI circuit depend upon the magnitude and the direction of I_{in1} and I_{in2} as well as the time t . The DC functions of VC-VIC and CI circuits are depicted in figure 3.6.

The previously discussed CFOA, VC-VIC and CI blocks were combined in one circuit. Using this circuit, any small imbalance between V_p and V_n would be compensated, consequently reducing the input offset voltage of the CFOA. Once the compensation is completed, stable output currents I_{cp} and I_{cn} are maintained on the CI output. The accuracy of the compensation technique is only dependent on the error of the part of voltage comparison, not on the absolute value of currents, because the compensation procedure is executed continuously. This makes the compensation temperature independent.

An additional benefit of this technique is the reduction of the inverting-input impedance (R_{inv}) by the negative feedback action inside CFOA which makes, in effect, the input buffer 'closed loop' [3]. This is demonstrated in figure 3.7. According to equations (1)-(9), lowering R_{inv} improves the gain-bandwidth product of the CFOA, and reduces the high-gain bandwidth roll-off.

IV. SIMULATION AND EXPERIMENTAL RESULTS

The CMOS CFOA has been simulated with HSPICE using the parameters of the

0.8 μ m BiCMOS technology provided by NORTEL. Measurements on silicon of four prototypes have been carried out. A single supply voltage $V_{DD} = 5V$ have been used.

To simulate the offset compensation and the gain error cancelation, input offset voltages and gain errors were created by changing parameters in the SPICE models of the transistors. In fact, offsets of more than 100 mV and gain error of very large magnitude could be generated by changing the temperature parameter between $-55^{\circ}C$ and $125^{\circ}C$, and also by a $\pm 20\%$ variations on the threshold voltages (V_{Tp} and V_{Tn}) and the doping parameters (NSUBs).

Without the generation of any input offset, the CFOA has an intrinsic gain error due to the bulk effect on the source follower transistors of the input buffer, which causes the gain of each of the source followers to be less than 1. Figure 3.8 shows the ability of the compensation circuit to cancel this error and let V_n to be very close to V_p . The compensation of a random generated offset and gain error is shown in figure 3.9.

Figure 3.10 shows the frequency responses of the non-compensated and the compensated CFOA for different variations ($\pm 20\%$) on process parameters and temperature. We can see that, in all the cases, the compensation circuit acts as expected, the gain error is canceled and the gain is maintained as close as possible to the ideal value (here 40 dB, i.e. $R_1 = 1k\Omega$, $R_2 = 99k\Omega$), in addition, the bandwidth is substantially improved.

Figure 3.11 shows a comparison between the performances of the non-compen-

sated and the compensated CFOA in terms of input offset voltage, gain and bandwidth for different variations on process parameters and temperature. With the compensation circuit, the input offset voltage was reduced to less than 1 mV in most of the cases (less than 5 mV in the worst case), and the gain is maintained as close as possible to its ideal value.

Simulations of the closed-loop gain for different values 10, 50 and 100, i.e $R_2=9k\Omega$, $49k\Omega$ and $99k\Omega$ with $R_1=1k\Omega$, have been carried out for both the non-compensated and the compensated CFOA. Figure 3.12 compares the frequency responses obtained. For the non-compensated CFOA, the bandwidth roll-off with increasing gain is clear. At a gain of 100, the bandwidth has fallen to 600 KHz, from a value of 6.2 MHz when the gain is 10. For the compensated CFOA, a peaking at lower value of gain can be seen, this is due to the value of R_2 which has to be greater than some minimum value R_{2min} (this peaking can be eliminated for any value of gain by increasing R_2 and R_1). The bandwidth roll-off with increasing gain is clearly reduced. Figure 3.13 shows the measured frequency responses of the compensated CFOA prototype for different values of gains 10, 50 and 100. We can see a clear reduction in the bandwidths and a slight gain reduction for all values of gain compared to the simulated results, this is due to the layout parasitic capacitances, the capacitance load (oscilloscope probes) which is 20 pF instead of 1 pF (simulation), the test wiring and the external resistors used for the test. The bandwidth versus closed-loop gain of the compensated CFOA is shown in figure 3.14, and Table 3.1 summarizes the performances obtained with the various simulated and measured CFOAs.

Test of five (5) CFOA prototypes has been carried out. One prototype is not working (completely dead) due to a fabrication defect. The remaining four (4) prototypes are working as predicted, and the measured values reported in Table 3.1 are the average of what have been recorded as measurements.

The power consumption of the compensated CFOA was less than 2.3 mW. The consumption of the compensation circuit is lower than 0.5 mW.

The photomicrograph of the compensated CFOA is shown in figure 3.15. The complete design (with pads) occupies $1340 \times 1500 \mu\text{m}^2$. The CFOA layout occupies only $70 \times 100 \mu\text{m}^2$ while the compensation circuit occupies $50 \times 100 \mu\text{m}^2$. Table 3.2 summarizes the main characteristics of the presented CFOA.

V. CONCLUSION

A low-offset, wide-band, and improved-gain CMOS CFOA has been proposed, fabricated and tested. The offset is reduced to less than 1 mV (5 mV in the worst case). In addition to reducing the offset, gain errors introduced by the input buffer are canceled. The difference between measurement and simulation results can be reduced by enhancing the layout to reduce the parasitic capacitances. One problem not dealt with in the present article is the input signal range. The proposed configuration of the CFOA uses a source follower output stage. The maximum output voltage swing achievable with this structure is from V_{TN} to $V_{DD} + V_{TP}$ where threshold voltages V_{TN} and V_{TP} are subjected to the maxi-

mum bulk effect, implying that they assume values in the range of $\pm 1 V$ to $\pm 2 V$. This puts a limitation on the minimum supply voltage to be used. For our application, 1 V_{pp} output voltage is sufficient. However, a larger output voltage can be achieved by the use of common source output stage [12]. The presented continuous-time current mode offset compensation technique is suitable for offset reduction of BJT and BiCMOS CFOAs. Our next step of this work will be the implementation of low-offset instrumentation amplifier based on two CFOAs interconnected in a manner to produce a VFOA [11]. Also, we are planning the implementation of the compensated CFOA with bipolar and MOS transistors taking full advantages of the BiCMOS technology in term of achievable bandwidths.

ACKNOWLEDGMENT

The authors are grateful to A. Laville for providing some simulation results and to J. Zhu for his comments and suggestions to improve this paper. They also acknowledge the funding provided by the Natural Sciences and Engineering Research Council of Canada (NSERC). Thanks also due to the Canadian Microelectronics Corporation (CMC) for providing the various design tools and the chip fabrication facilities.

REFERENCES

- [1] Wong. J., "Current-Feedback Amplifiers Extend High-Frequency Performance," EDN, October 26, pp. 211-216, 1989.
- [2] Franco S., "Analytical Foundations of Current-Feedback Amplifiers," IEEE ISCAS, vol. 2, pp. 1050-1053, 1993.
- [3] Payne A., Toumazou C., " High Frequency Self-Compensation Of Current-Feedback Devices," IEEE ISCAS, pp. 1376-1379, San Diego, May 1992.
- [4] Toumazou C., Payne A., Lidgey F. J., "Current-Feedback Versus Voltage Feedback Amplifiers: History, Insight and Relationships" IEEE ISCAS, pp. 1046-1049, 1993.
- [5] Smith S.O., "The Good, The Bad and the Ugly: Current-Feddback- Technical Contributions and Limitations," IEEE ISCAS, vol. 2, pp. 1058-1061, 1993.
- [6], "Current-feedback op amp applications circuit guide," Application Note OA-07, Comlinear Corp, 1988.
- [7] Browers D.F., "A Precision Dual 'Current Feedback' Operational Amplifier,"

- IEEE Bipolar Circuits and Technology Meeting, pp. 68-70, 1988.
- [8] Koullias I.A., "A Wideband Low-offset Current-feedback OP AMP Design,"
IEEE Bipolar Circuits and Technology Meeting, pp. 120-123, 1989.
- [9] Browsers D.F., "The So-called Current-Feedback Operational Amplifier-
Technological Breakthrough or Engineering Curiosity," IEEE ISCAS, vol. 2,
pp. 1054-1057, 1993.
- [10] Harvey B., "Current-Feedback Opamp Limitations: A state-of-the-art review,"
IEEE ISCAS, vol. 2, pp. 1066-1069, 1993.
- [11] Bruun E., "A dual current feedback CMOS op amp," Proc. Tenth NORCHIP
Seminar, pp. A9-A11, Helsinki, November 1992.
- [12] Bruun E., "CMOS Technology and Current-Feddback Op-Amps," IEEE ISCAS,
vol. 2, pp. 1062-1065, 1993.
- [13] Assi A., Sawan M., and Zhu J., "An Offset Compensated and High Gain CMOS
Current Feedback Op-Amp," To appear in IEEE Transactions on Circuits and
Systems, 1997.

- [14] Sawan M., Arabi K., and Provost B., "Implantable Volume Monitor and Miniaturized Stimulator Dedicated to Bladder Control," *Artificial Organs*, pp. 219-222, 1997.

- [15] Chen W-K., "The Circuits and Filters Handbook," A CRC Handbook Published in Cooperation with IEEE Press, pp. 1722-1778, 1995.

- [16] Toumazou C., Lidgey F. J., and Haigh D. G., "Analogue IC Design, the Current-Mode Approach," Peter Peregrinus, 646p., 1990.

- [17] Grebene A. B., "Bipolar and MOS analog integrated circuit design," John Wiley & Sons, 894p., 1984.

LIST OF FIGURES

Fig. 3.1: Current-feedback op-amp: closed-loop macromodel.

Fig. 3.2: Current-feedback op-amp: CMOS implementation.

Fig. 3.3: Block diagram of the offset compensated CFOA.

Fig. 3.4: Schematic of the VC-VIC.

Fig. 3.5: Schematic of the CI.

Fig. 3.6: DC function of the compensation circuit (VC-VIC and CI).

Fig. 3.7: Reduction of the inverting-input impedance by negative feedback .

Fig. 3.8: Cancelation of the gain error:

- a) the input signals V_p and V_n with and without compensation,
- b) the input signal V_p , and the output signal V_o with and without compensation.

Fig. 3.9: Cancelation of the gain error and the offset:

- a) the input signals V_p and V_n with and without compensation,
- b) the input signal V_p , and the output signal V_o with and without compensation.

Fig. 3.10: Frequency responses of the non-compensated and the compensated

CFOA for different variations on process parameters and temperature:

- a) normal conditions (no variations in process parameters and temperature).
- b) +9% of the V_{Tn} value.
- c) -3% of the V_{Tn} value.
- d) +10% of the N+ doping.
- e) -10% of the N+ doping.
- f) +3% of the V_{Tp} value.

- g) -3% of the V_{Tp} value.
- h) +10% of the P+ doping.
- i) -10% of the P+ doping.

Fig. 3.11: Performances of the non-compensated and the compensated CFOA in terms of input offset voltage, gain and bandwidth for different variations on process parameters and temperature :

- a) offset as function of temperature.
- b) bandwidth as function of temperature.
- c) gain as function of temperature.
- d) gain as function of ΔV_{T0} of a NMOS transistor.
- e) gain as function of ΔV_{T0} of a PMOS transistor.
- f) gain as function of variations in N+ doping.
- g) gain as function of variations in P+ doping.
- h) offset as function of ΔV_{T0} of a NMOS transistor.
- i) offset as function of ΔV_{T0} of a PMOS transistor.
- j) offset as function of variations in N+ doping.
- k) offset as function of variations in P+ doping.

Fig. 3.12: Simulated closed-loop gain and bandwidth of the non-compensated and the compensated CFOA for 10, 50 and 100 gain values.

Fig. 3.13: Measured closed-loop gain and bandwidth of the non-compensated and the compensated CFOA for 10, 50 and 100 gain values.

Fig. 3.14: Bandwidth as function of the closed-loop gain.

Fig. 3.15: Microphotograph of the CFOA.

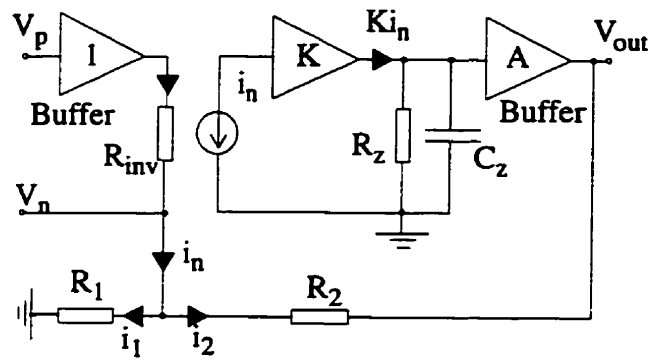


Fig. 3.1

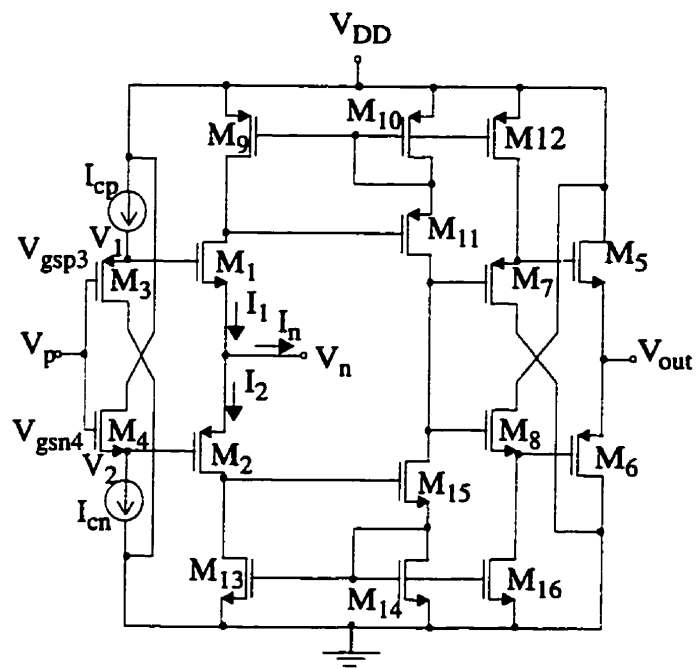


Fig. 3.2

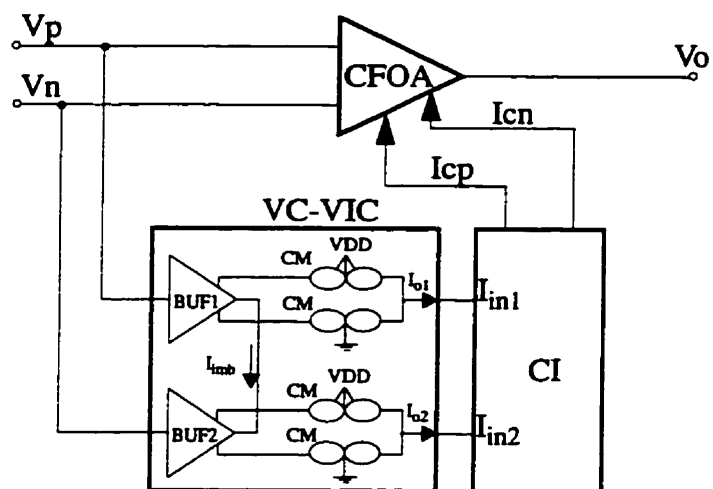


Fig. 3.3

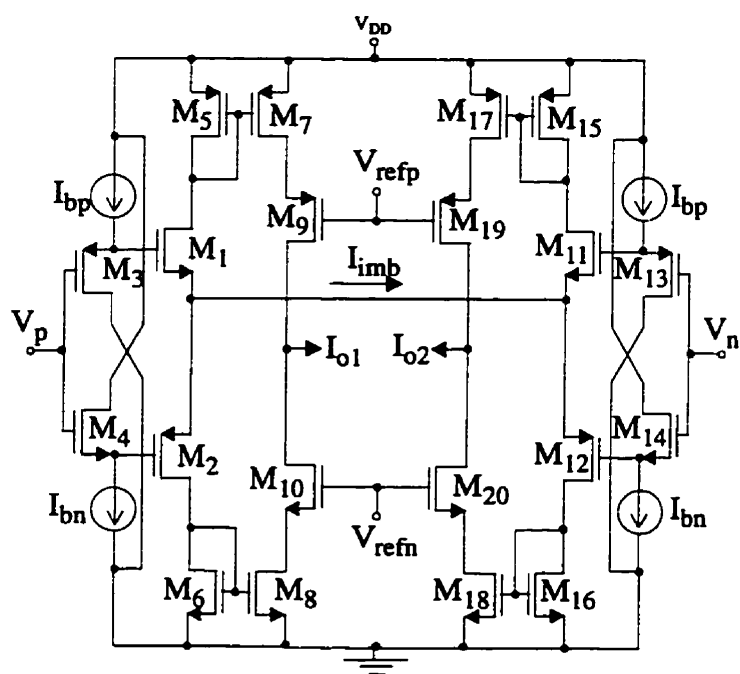


Fig. 3.4

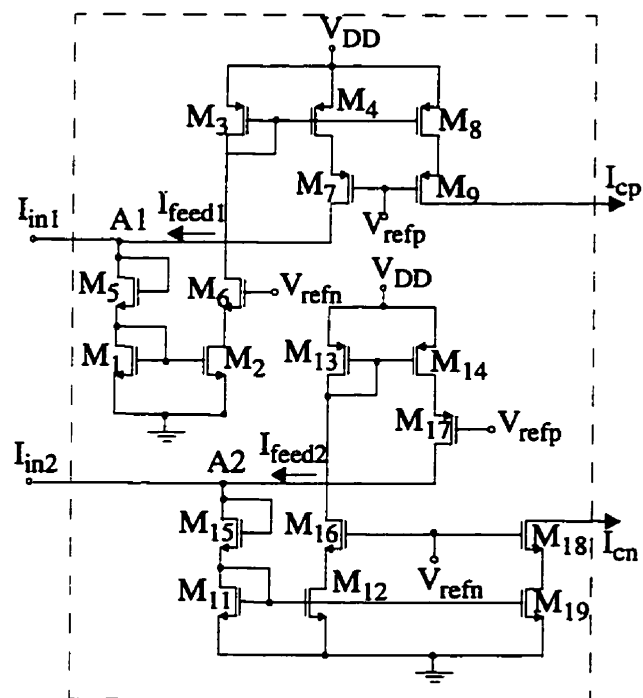


Fig. 3.5

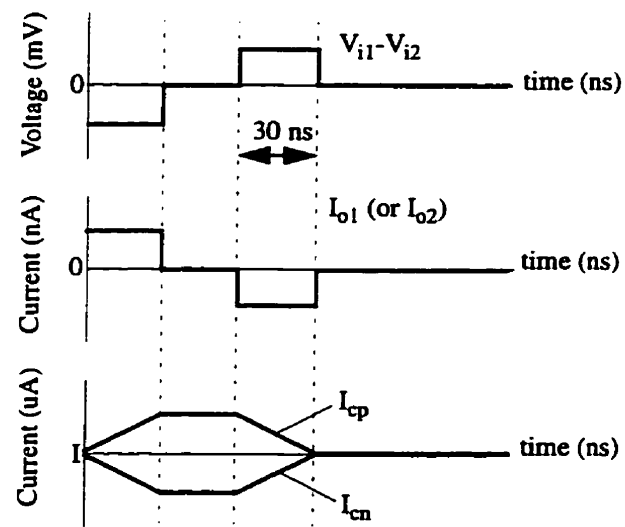


Fig. 3.6

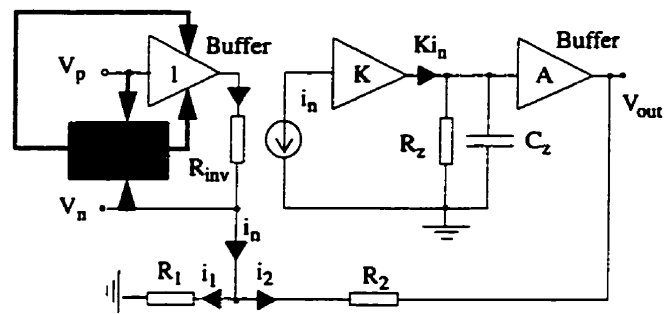


Fig. 3.7

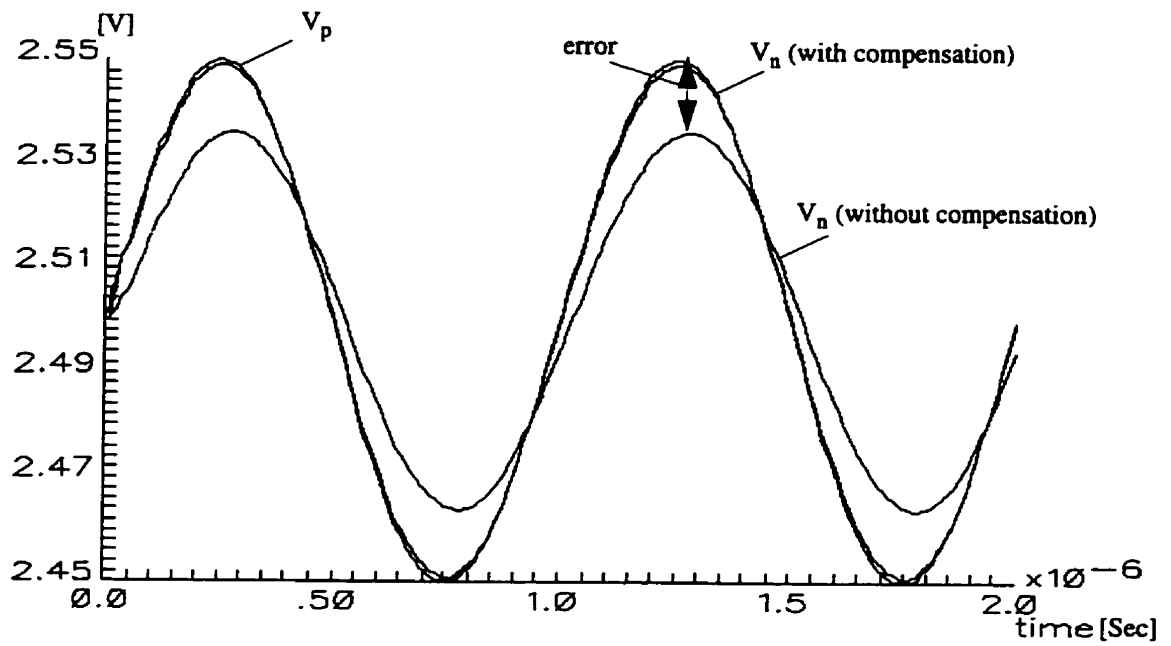


Fig. 3.8(a)

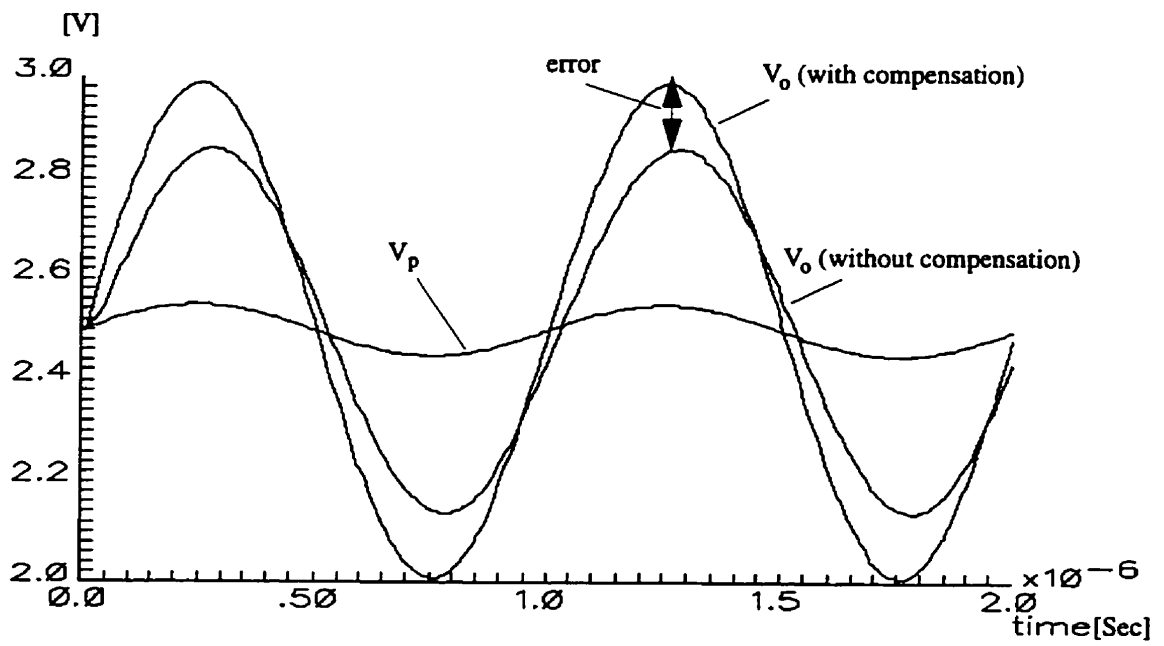


Fig. 3.8(b)

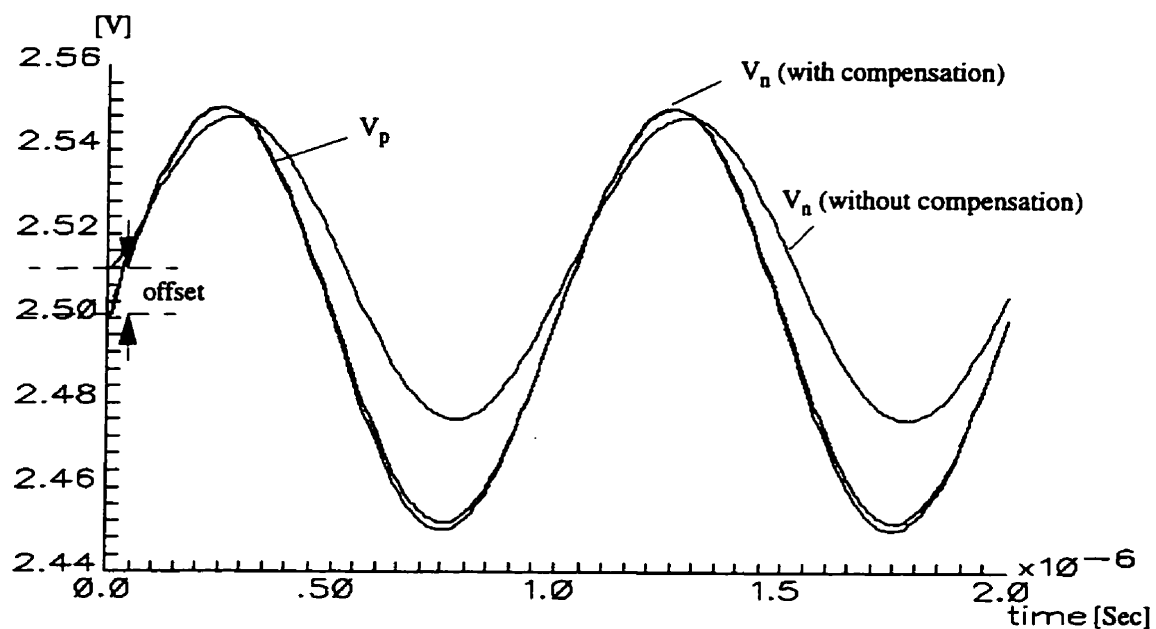


Fig. 3.9(a)

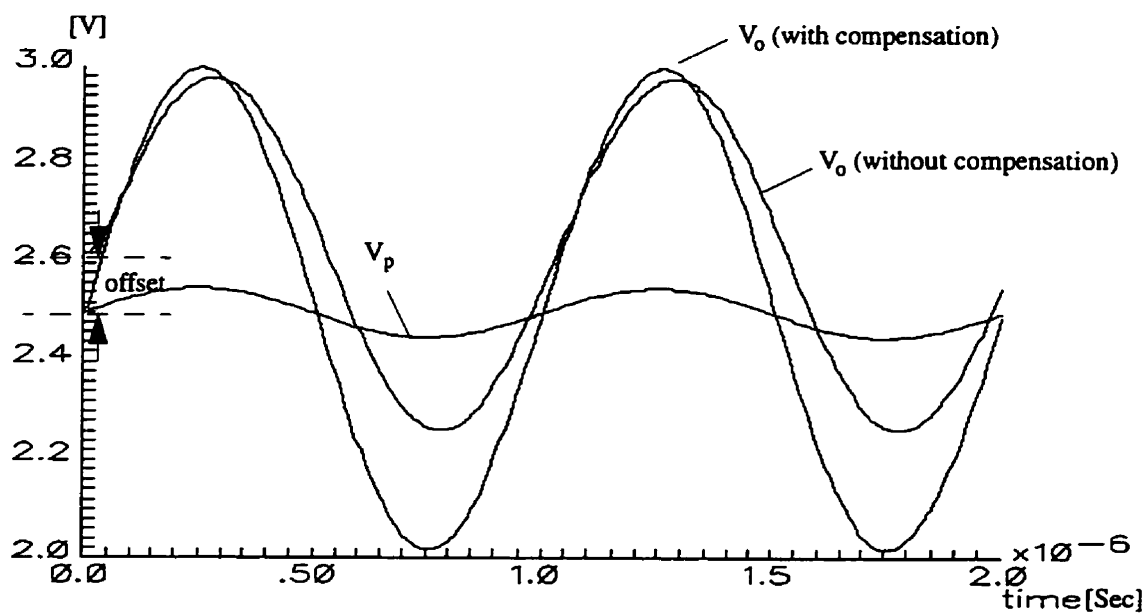


Fig. 3.9(b)

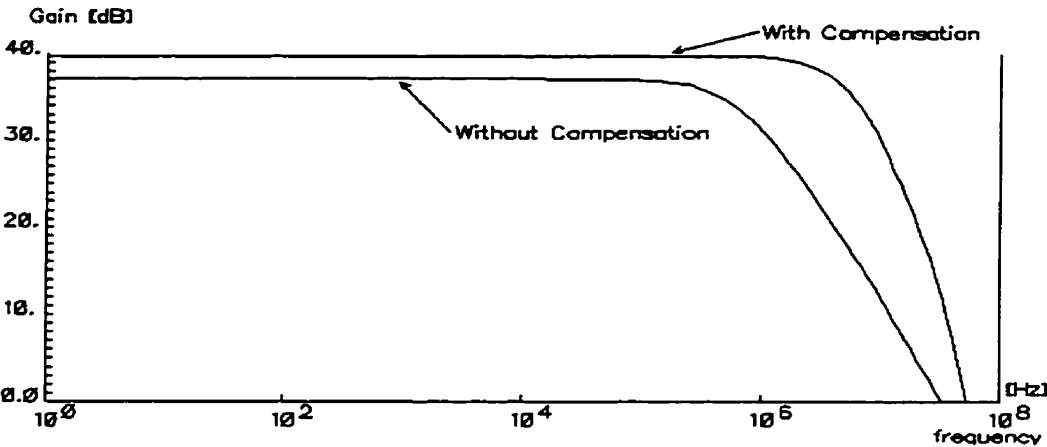


Fig. 4. 10(a)

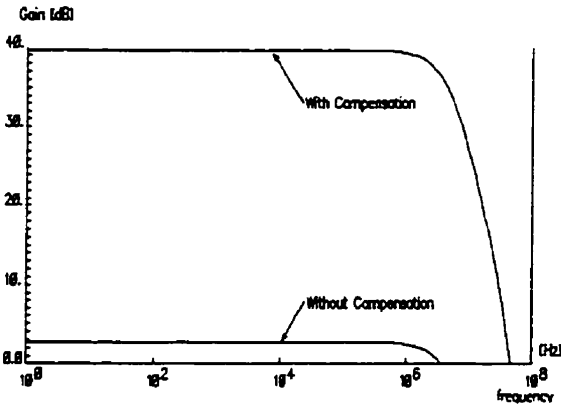


Fig. 4. 10(b)

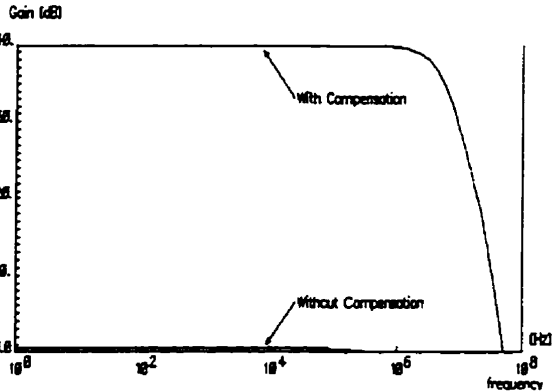


Fig. 4. 10(c)

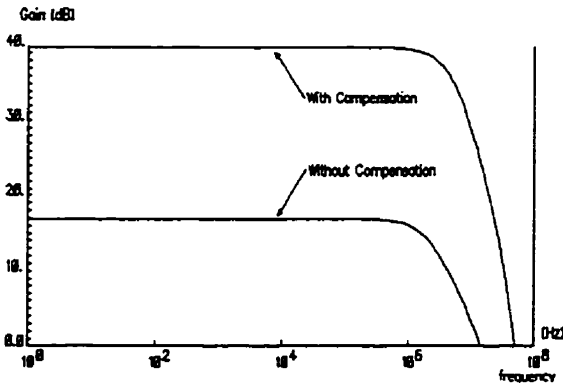


Fig. 4.10(d)

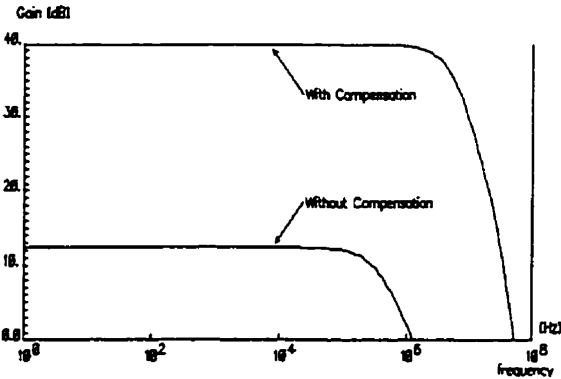


Fig. 4.10(e)

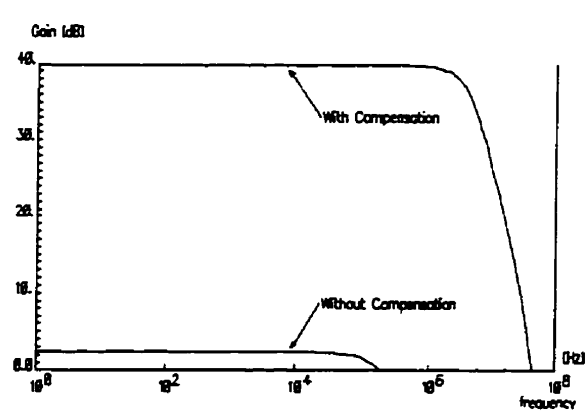


Fig. 3.10(f)

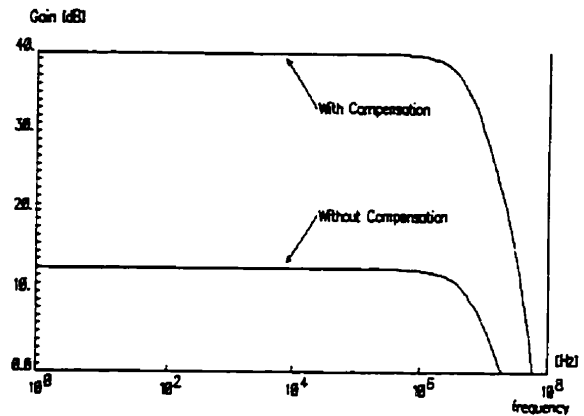


Fig. 3.10(g)

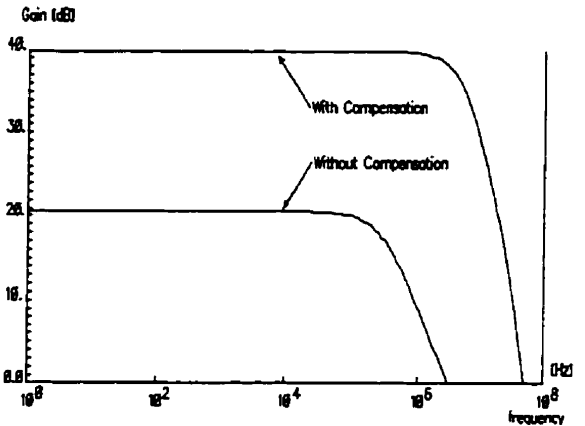


Fig. 3.10(h)

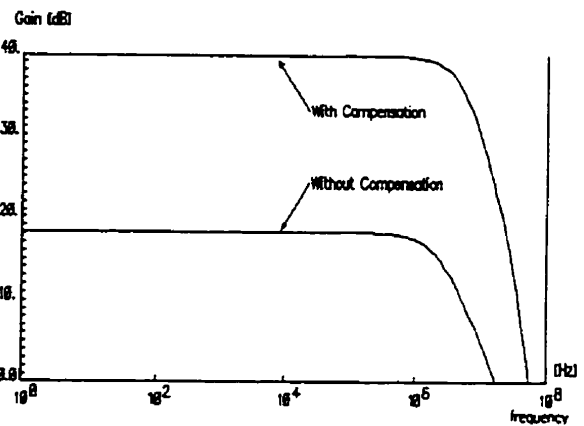


Fig. 3.10(i)

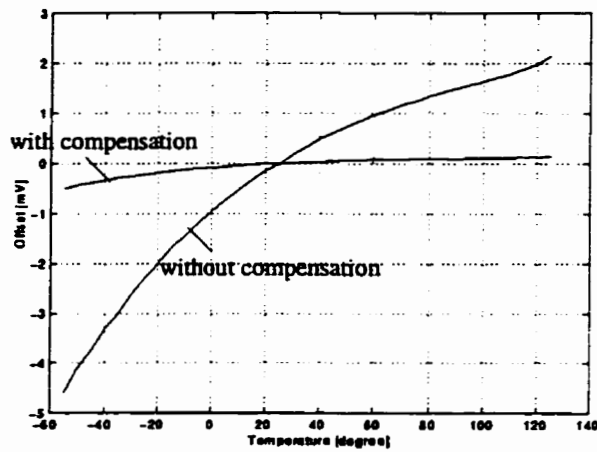


Fig. 3.11(a)

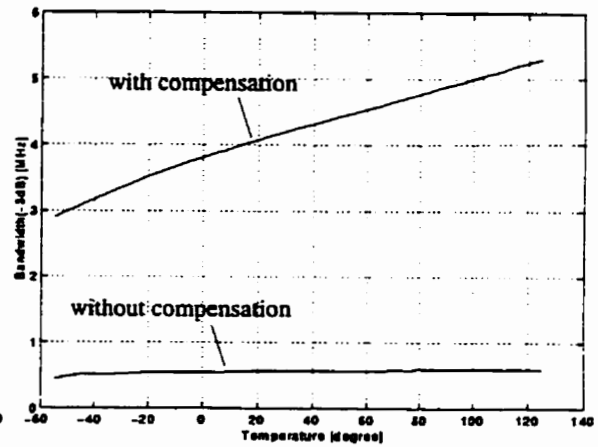


Fig. 3.11(b)

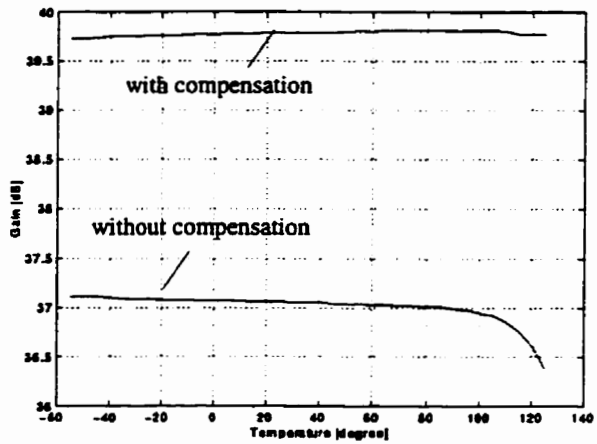


Fig. 3.11(c)

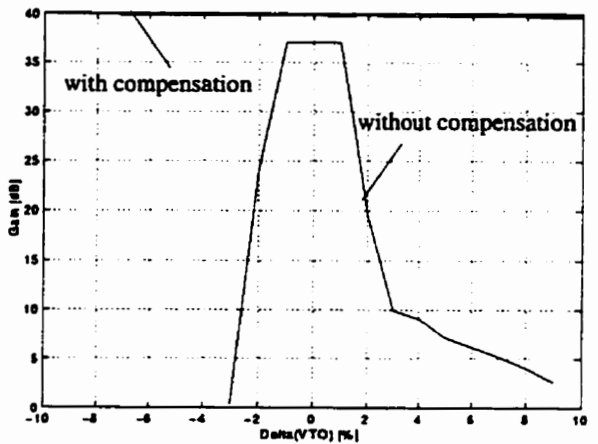


Fig. 3.11(d)

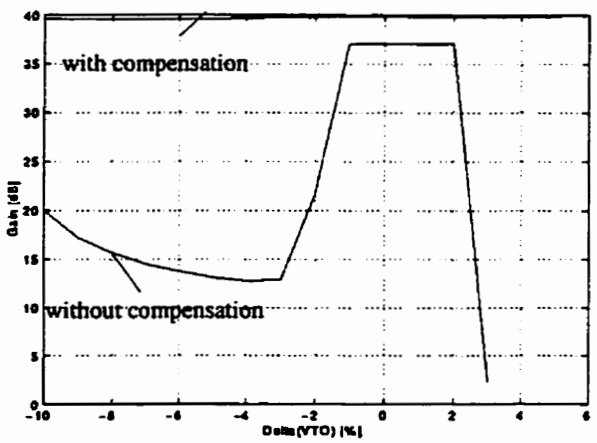


Fig. 3.11(e)

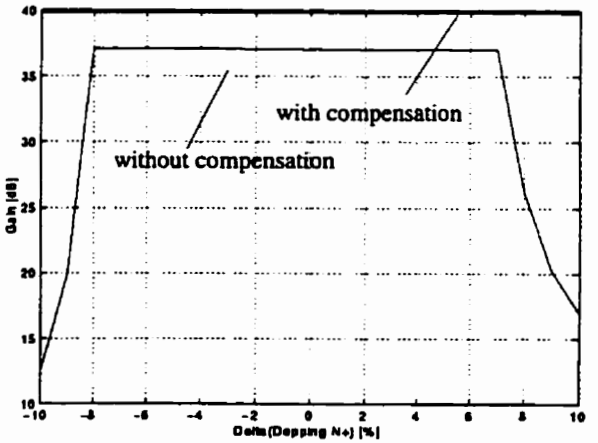


Fig. 3.11(f)

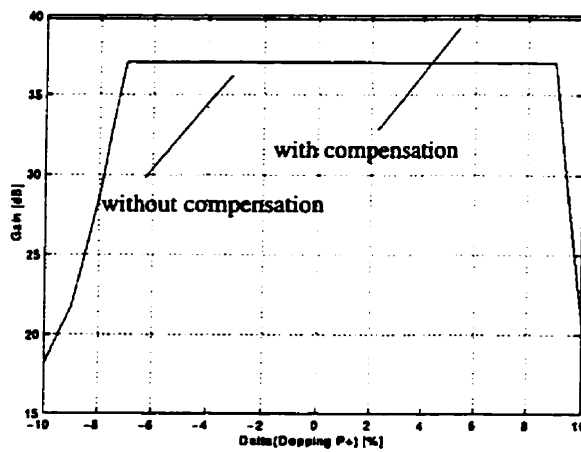


Fig. 3.11(g)

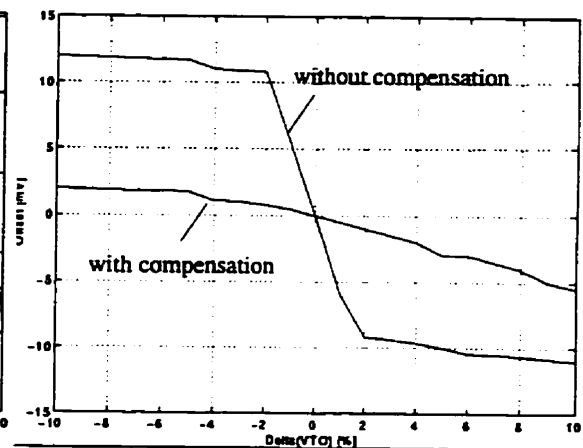


Fig. 3.11(h)

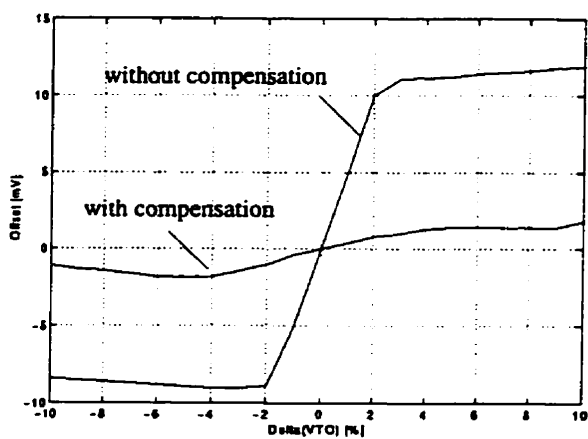


Fig. 3.11(i)

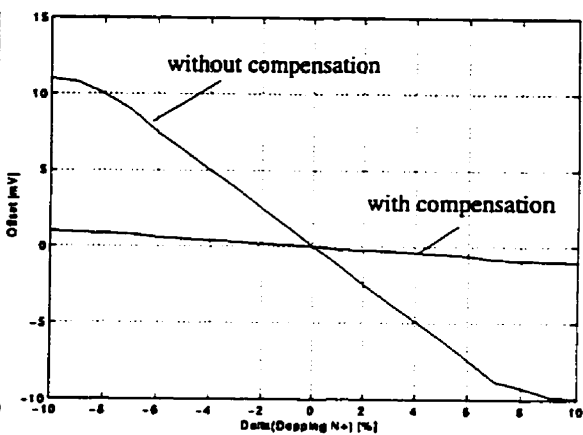


Fig. 3.11(j)

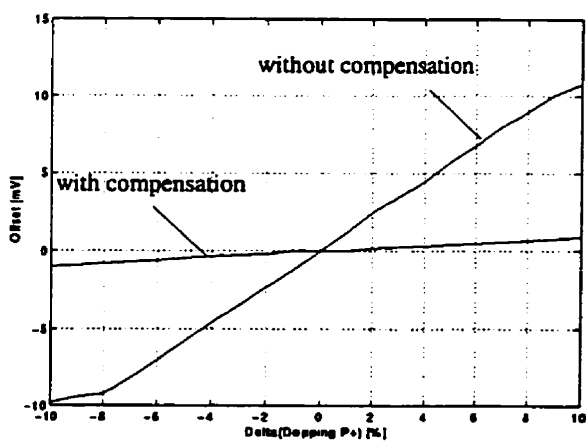


Fig. 3.11(k)

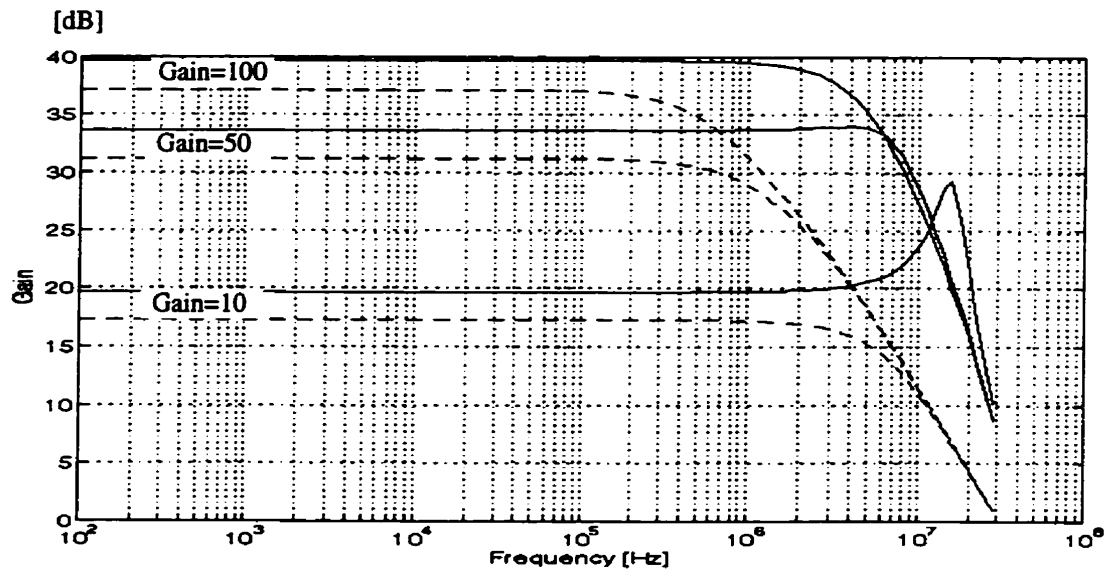


Fig. 3.12

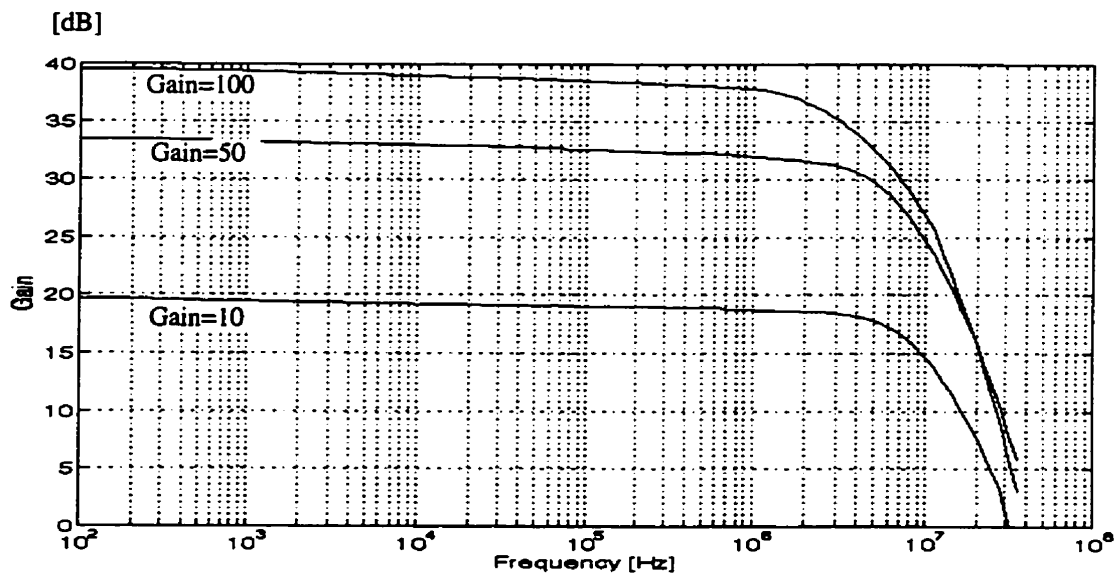


Fig. 3.13

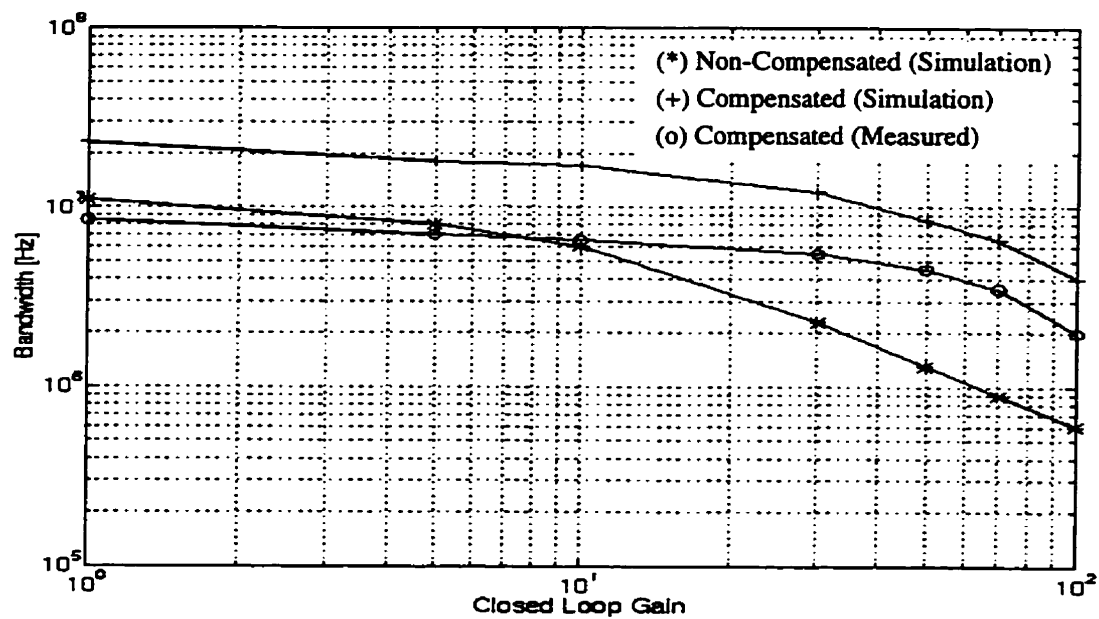


Fig. 3.14

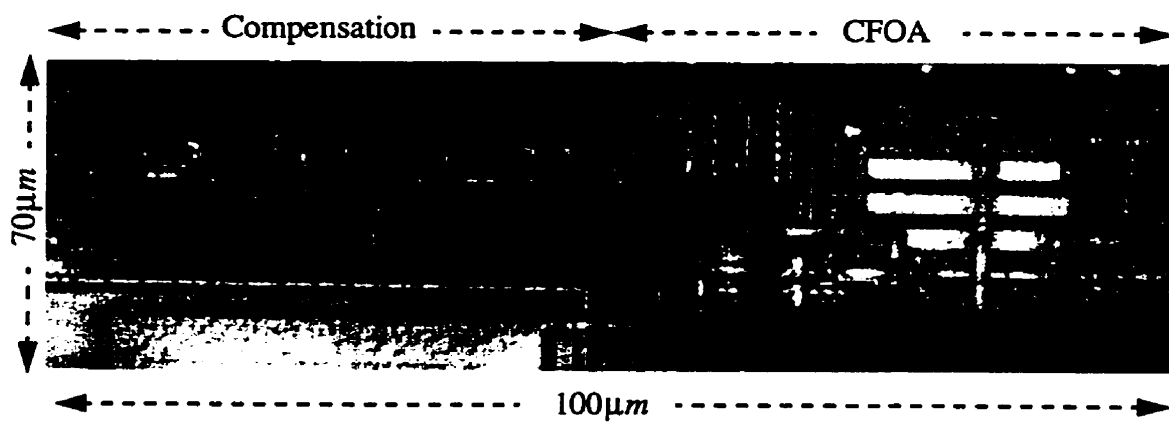


Fig. 3.15

Table 3.1. The performances of the CMOS CFOA

Gain Resistances		Simulated				Measured	
		Non-Compensated		Compensated		Compensated	
R1(K Ω), R2 (K Ω)		BW (MHz)	Gain (dB)	BW(MHz)	Gain(dB)	BW(MHz)	Gain(dB)
1	99	0.6	37.17	4	39.69	1.9	39
1	49	1.2	31.22	8.5	33.68	3.8	33
1	9	6.2	17.31	23	19.71	12.4	19

Table 3.2. The characteristics of the compensated CMOS CFOA

Parameters	Simulated	Measured
VDD	+ 5 V	+ 5V
Power dissipation	2.17 mW	2.3 mW
Input offset voltage	< 1 mV	< 1 mV
Slew rate	20 V/ μ s	14 V/ μ s
Single output swing	2 V	1.5 V
Active design area	0.012 mm ²	-----
Load capacitance	1 pF	20 pF

Conclusion

Dans ce chapitre, nous avons essentiellement présenté un article soumis à l' («IEEE Trans. Circuits Syst. II.»). Cet article présente la technique de réduction de la tension de décalage qui a été améliorée pour pouvoir éliminer l'erreur de gain inhérent dans les réalisations CMOS des CFOAs. L'amélioration se trouve au niveau de la comparaison entre les entrées du CFOA. Contrairement à la méthode de comparaison utilisée au chapitre précédent, dans ce chapitre l'entrée positive du CFOA est comparée directement à l'entrée négative, ce qui résulte en une diminution de l'impédance de l'entrée négative qui à son tour améliore le produit gain-bande passante et diminue la dégradation de la bande passante en fonction du gain. Vu que la réduction du décalage entre les tensions d'entrées se fait tant qu'au niveau DC qu'au niveau signal AC, l'erreur de gain produit par le tampon d'entrée, qui résulte généralement de l'effet du substrat, est aussi réduit.

CHAPITRE 4

CIRCUIT DE TRANSCONDUCTANCE À HAUTES PERFORMANCES EN TECHNOLOGIE CMOS POUR LES APPLICATIONS MIXTES ANALOGIQUES-NUMÉRIQUES

Introduction

Les circuits analogiques et mixtes (analogique-numérique) sont de préférence réalisés avec la technologie CMOS. La demande grandissante de ces circuits pour réaliser des systèmes opérants à des très hautes fréquences est une des préoccupations importantes qui marquent le monde de la micro-électronique d'aujourd'hui. Les circuits analogiques sont généralement utilisés comme interfaces entre les signaux numériques d'une part et les signaux réels qui doivent être échangés. Le circuit de transconductance, aussi appelé convertisseur tension-courant («VCT»), est un circuit analogique de base pour plusieurs fonctions (intégration, amplification, filtrage, etc...). Plusieurs architectures de circuits de transconductance ont été proposées par plusieurs chercheurs dans le domaine, et des améliorations ont été apportées aux circuits de transconductance en technologie CMOS [NED84], [TOR85], [PAR86], [SEE87], [NAU93], [ISM94], [SZC95], [PAN96], [RAU96b], [SZC97].

Pour les applications à des hautes fréquences, plusieurs architectures de circuits de transconductance ont été développées [NAU93], [SZC95]. Dans [SZC95], la bande pas-

sante du circuit est limitée par les noeuds internes, qui créent des pôles et des zéros indésirables nécessitant des techniques spéciales pour compenser ces effets dans les applications à hautes fréquences. Le circuit en [NAU93], utilise les caractéristiques du transistor MOS dans sa région de saturation, dans un circuit où il n'y a pas des noeuds internes pour obtenir une large bande passante. Cependant, la fonction de transfert de ce circuit souffre d'une dépendance des tensions de seuils des transistors utilisés. En plus, dans ce circuit, la tension d'alimentation est utilisée pour ajuster la valeur de la transconductance, cette méthode de régler la transconductance est indésirable (complexité de l'alimentation réglable) dans les applications où la tension d'alimentation est supposée être fixe.

Dans cet article, une nouvelle architecture d'un circuit de transconductance différentielle (entrée différentielle et sortie différentielle) est proposé [ASS96]. Le circuit utilise les caractéristiques du transistor MOS dans sa région de saturation, et ne contient aucun noeud interne, qui résulte en une large bande passante. La fonction de transfert de ce circuit ne dépend pas des tensions de seuils des transistors utilisés, et sa plage d'ajustement est améliorée et la valeur de la transconductance peut être ajustée sans avoir recours à des alimentations réglables complexes. En utilisant ce circuit, il a été démontré dans [ASS97a] qu'un filtre passe-bande à base de transconductances et condensateurs (fréquence centrale $f_0 = 112$ MHz) est réalisable. En plus, un amplificateur opérationnel courant-courant, qui utilise une architecture transrésistance-transconductance peut être réalisé [ASS97b].

High Performance CMOS Transconductor for Mixed-Signal Analog-Digital Applications

Ali ASSI and Mohamad SAWAN

École Polytechnique de Montréal,

Department of Electrical and Computer Engineering

P.O. Box 6079, Station Centre-ville, Montreal, P. Q., Canada H3C 3A7

Journal: Analog Integrated Circuits & Signal Processing.

Status: Submitted on June 1997, Accepted in January 1998

ABSTRACT

This paper describes a CMOS building block dedicated to high performance mixed analog-digital circuits and systems. The circuit consists of six MOS transistors realizing a new wideband and tunable transconductance. The theory of operation of this device is presented and the effects of transistor nonidealities on the global performances are investigated. Use of the proposed circuit to realize tunable functions (Gm-C filter and current opamp) is illustrated. HSPICE simulations show a wide tuning range of the transconductance value from 40 μS to 950 μS (500 μS) for $\pm 2.5\text{V}$ ($\pm 1.5\text{V}$) supply voltages. The transconductance value remains constant up to frequencies beyond 500 MHz. The band-pass filter built with few transconductance blocks and capacitances was simulated with $\pm 2.5\text{V}$ supply voltage, the center frequency is tunable in the range of 30 MHz to 110 MHz. The opamp, which is designed with a transresistance-transconductance architecture, was simulated with $\pm 1.5\text{V}$ supply voltage. The gain of the opamp can be tuned between 70 dB and 96 dB and high gain-bandwidth product of 145 MHz has been achieved at

power consumption of less than 0.5 mW. Experimental results on a fabricated transconductor chip are provided.

Key Words: CMOS analog design, high-frequency circuits, transconductor, band-pass filter, current opamp.

I. Introduction

Mixed-signal analog-digital VLSI circuits are widely fabricated in CMOS technologies. As more microelectronic subsystems will be required in high-frequency systems, the demand for high-performance analog MOS circuitries will be steadily increased. Analog MOS circuitries on VLSI chips are usually located at the interface between the real world signals and the digital data processing parts. The transconductor, also called voltage-to current transducer (VCT), is a key building block for many analog functions (integrators, OTAs, transconductance-C filters, etc...). Consequently, during the past decade, various architectures of transconductor have been considered by many researchers and improvements in the CMOS transconductor performances have been reported [1]-[10]. Major improvements come from the efforts to take advantages of MOS device characteristics (low DC power dissipation, high functional density and high yield) and to offset the drawbacks (body effect, mobility reduction, transistors mismatches and channel modulation). Increasing the operating speed and/or reducing the power consumption require low voltage swings across the loads. This is commonly achieved by adopting a differential-mode operation, wherein the need for exact reference voltages is eliminated, in addition to

reducing unwanted common-mode signals within the circuit.

For high-frequency applications, two transconductor architectures have been reported recently [5]-[6]. In [5] the bandwidth of the transconductor is limited by the internal nodes in the circuit, which results in parasitic poles or zeros and necessitate special techniques to compensate for these effects in the high-frequency range. The transconductor presented in [6] made use of the standard square-law model for MOS devices in their saturation region to achieve a large bandwidth circuit without internal nodes, however, the transfer function reported suffers from its dependency on the threshold voltages of the devices, also the tunability of the transconductor is achieved via the supply voltage which is not suitable for applications where the supply voltage should be fixed. The frequencies of the filters designed with these transconductors are in the VHF range: around 50 MHz in [5] and 100 MHz in [6]. On the other hand, Bruun in [11] has used successfully the (R_m - G_m) technique to build a high-speed CMOS current opamp operating at low-supply voltage (1.5V). The current opamp designed by Bruun was intended for low-voltage and low-power operation in CMOS technology, the performances achieved were a low-frequency gain of 94 dB and a gain-bandwidth of 65 MHz at a power consumption of $30\mu W$ (excluding the bias circuitry)

In this paper, a new CMOS fully differential transconductor using six MOS transistors is introduced [12]. As in [6], the presented circuit makes use of the square-law principle and has no internal nodes resulting in a very wide-band operation. The dependency of its transfer function on the threshold voltages is eliminated. The tunability is also

improved and made possible without varying the main supply voltages (V_{CC} and V_{SS}). Using this transconductor, a bandpass filter in the VHF band (112 MHz as center frequency) has been designed [13]. In addition, a current opamp using this transconductor has been designed [14]. The current opamp uses the transimpedance-transconductance (Rm-Gm) technique. The use of (Rm-Gm) technique for current opamps eliminates potential problems arising from conventional approaches such as pole-zero cancellation. We show also a CMOS implementation of a current opamp based on (Rm-Gm) technique. The transimpedance block is the differential version of the one used by Bruun in [11] with fewer biasing voltages. The transconductance stage is our new tunable architecture which allows the tuning of the proposed amplifier. At the expense of some extra power consumption (less than 0.5 mW which is still considered as low consumption), we have obtained a tunable current opamp with better performances than what has been reported in [11].

The article is organized as follows. In section II the transconductor circuit is described: the basic equation for the operation is provided; important features are discussed; the sizing ratios of the MOS transistors to obtain a desirable common mode range are derived; linearity characteristics of the circuit are studied by deriving expression for harmonic distortion components arising out of mobility reduction of the MOS transistors. Noise performance is discussed and results of AC analysis are provided to establish the potential of the circuit for applications in very high frequency (VHF) systems. Section III describes two applications of the proposed transconductor: a bandpass continuous-time filter and a current opamp. In section IV, HSPICE simulation results are provided. Section V contains experimental results of the transconductor circuit. The conclusions are presented in section VI.

II. Transconductor circuit description

In order to start explaining the basic operation of the transconductor and to do the nonidealities analysis, definitions for the numerous variables and parameters involved in our analysis are required. In reference to figure 4.1, we have:

$\beta = \mu C_{ox} \left(\frac{W}{L} \right)$ transconductance parameter for MOS devices,

C_{ox} capacitance/unit gate area,

μ mobility of carriers,

W channel width,

L channel length,

V_{CC} power supply voltage,

V_B bias voltage for the n-MOS transistors,

V_{REF} reference voltage,

$V_1 - V_2$ the differential input voltage

V_{GS} gate-source voltage,

V_T threshold voltage,

I_D drain current,

$\theta = \frac{\frac{\mu_0}{\mu} - 1}{V_{GS} - V_T}$ coefficient of the effect of the electric field on the mobility,

μ_0 zero-field mobility of carriers,

The additional subscripts (P) and (N) are used to distinguish between PMOS and NMOS device parameters respectively.

Basic Operation

The proposed differential-in differential-out transconductor circuit is shown in fig. 4.1. This circuit consists of only six MOS devices (4 p-MOS: MP1, MP2, MP3, MP4 and 2 n-MOS: MN1, MN2). Assuming matching among the geometrically identical MOS devices and using the standard square-law model for MOS devices in their saturation region and ignoring channel modulation effect, the drain currents of the transistors are given by

$$I_{P1} = \frac{\beta_P}{2} (V_{CC} - V_1 - V_{TP})^2 \quad (1a)$$

$$I_{P2} = \frac{\beta_P}{2} (V_{CC} - V_2 - V_{TP})^2 \quad (1b)$$

$$I_{P3} = \frac{\beta_P}{2} (V_{REF} - V_2 - V_{TP})^2 \quad (1c)$$

$$I_{P4} = \frac{\beta_P}{2} (V_{REF} - V_1 - V_{TP})^2 \quad (1d)$$

$$I_{N1} = I_{N2} = \frac{\beta_N}{2} (V_B - V_{SS} - V_{TN})^2 \quad (1e)$$

The intermediate output currents I_{o1} and I_{o2} can be written as follows

$$I_{o1} = (I_{P1} + I_{P3}) - I_{N1} \quad (2a)$$

$$I_{o2} = (I_{P2} + I_{P4}) - I_{N2} \quad (2b)$$

and the output current I_{out} is

$$I_{out} = I_{o2} - I_{o1} = (I_{P2} + I_{P4}) - (I_{P1} + I_{P3}) - (I_{N2} - I_{N1}) \quad (3)$$

Using (1) and (3), the differential output current I_{out} can be expressed as

$$I_{out} = \beta_P (V_{CC} - V_{REF}) (V_1 - V_2) = g_m (V_1 - V_2) \quad (4)$$

with $g_m = \beta_P (V_{CC} - V_{REF})$ is the resulting tunable transconductance.

The $(V_{CC} - V_{REF})$ factor can be recognized as a tuning voltage V_C , and the $(V_1 - V_2)$ factor as the differential input voltage V_{id} . Thus in the interest of brevity, (4) can be written as

$$I_{out} = \beta_P V_C V_{id} = g_m V_{id} \quad (5)$$

Nonidealities analysis

As it was shown earlier, using the standard square-law model for MOS devices results in fully linear transfer characteristics $I_{out} = g_m V_{id}$ of the transconductor circuit. Unfortunately, due to second order effects, the actual transfer function differs from the ideal one defined by equation (4).

There are four kinds of secondary effects: body effect, transistor mismatches, mobility reduction and channel length modulation.

a. Body effect

Since the substrates are connected to the respective source terminals, the circuit is free from the body effect.

b. Transistor mismatches

We represent mismatches in transistors by the differences in the β_P and the β_N (i.e. β_P is taken equal to $\beta_P \pm \delta\beta_P$ and β_N equal to $\beta_N \pm \delta\beta_N$). When the analysis leading to equation (5) is then repeated, the result is modified to

$$I_{out} = \beta_P V_C V_{id} \pm \delta \beta_P V_C V_{id} \quad (6)$$

The first term in (6) is the desired output while the second term represents a second order nonlinearity which creates distortion problem and cannot be eliminated from the circuit. We note here that the mismatches in n-MOS transistors do not contribute to the distortion problem, in addition the mismatches in p-MOS transistors do not generate any dc offset, so no offset control mechanism as reported in [4] is required in the present case.

c. Mobility reduction

The effect of mobility reduction in MOS transistors can be expressed as follows

$$I_D = \frac{1}{2} \beta \frac{(V_{GS} - V_T)^2}{1 + \theta (V_{GS} - V_T)} \quad (7)$$

$$\text{Solving this equation for } (V_{GS} - V_T) \text{ and assuming that } I_D \cdot \frac{\theta}{\beta} \ll \frac{2}{\theta} \quad (8)$$

yields the following solution [4]

$$V_{GS} - V_T = \sqrt{\frac{2I_D}{\beta}} + I_D \cdot \frac{\theta}{\beta} \quad (9)$$

In equation (9), the term $(I_D \cdot \frac{\theta}{\beta})$ can be interpreted as an ohmic voltage drop across a resistor $(\frac{\theta}{\beta})$ in series with the transistor source.

The transfer function of the transconductor circuit including the effect of $(I_D \cdot \frac{\theta}{\beta})$

have been obtained through use of equation (1), which is first modified to include the voltage drop across $(\frac{\theta}{\beta})$ as follows

$$I_{P1} = \frac{\beta_P}{2} \left(V_{CC} - I_{P1} \cdot \frac{\theta}{\beta_P} - V_1 - V_{TP} \right)^2 \quad (10a)$$

$$I_{P2} = \frac{\beta_P}{2} \left(V_{CC} - I_{P2} \cdot \frac{\theta}{\beta_P} - V_2 - V_{TP} \right)^2 \quad (10b)$$

$$I_{P3} = \frac{\beta_P}{2} \left(V_{REF} - I_{P3} \cdot \frac{\theta}{\beta_P} - V_2 - V_{TP} \right)^2 \quad (10c)$$

$$I_{P4} = \frac{\beta_P}{2} \left(V_{REF} - I_{P4} \cdot \frac{\theta}{\beta_P} - V_1 - V_{TP} \right)^2 \quad (10d)$$

$$I_{N1} = \frac{\beta_N}{2} \left(V_B - I_{N1} \cdot \frac{\theta}{\beta_N} - V_{SS} - V_{TN} \right)^2 \quad (10e)$$

$$I_{N2} = \frac{\beta_N}{2} \left(V_B - I_{N2} \cdot \frac{\theta}{\beta_N} - V_{SS} - V_{TN} \right)^2 \quad (10g)$$

Equations (10) can be rewritten as follows

$$I_{P1} = \frac{\beta_P}{2} \left[(V_{CC} - V_1 - V_{TP})^2 - 2I_{P1} \frac{\theta}{\beta_P} (V_{CC} - V_1 - V_{TP}) + \left(I_{P1} \cdot \frac{\theta}{\beta_P} \right)^2 \right] \quad (11a)$$

$$I_{P2} = \frac{\beta_P}{2} \left[(V_{CC} - V_2 - V_{TP})^2 - 2I_{P2} \frac{\theta}{\beta_P} (V_{CC} - V_2 - V_{TP}) + \left(I_{P2} \cdot \frac{\theta}{\beta_P} \right)^2 \right]$$

(11b)

$$I_{P3} = \frac{\beta_P}{2} \left[(V_{REF} - V_2 - V_{TP})^2 - 2I_{P3} \frac{\theta}{\beta_P} (V_{REF} - V_2 - V_{TP}) + \left(I_{P3} \cdot \frac{\theta}{\beta_P} \right)^2 \right] \quad (11c)$$

$$I_{P4} = \frac{\beta_P}{2} \left[(V_{REF} - V_1 - V_{TP})^2 - 2I_{P4} \frac{\theta}{\beta_P} (V_{REF} - V_1 - V_{TP}) + \left(I_{P4} \cdot \frac{\theta}{\beta_P} \right)^2 \right] \quad (11d)$$

$$I_{N1} = \frac{\beta_N}{2} \left[(V_B - V_{SS} - V_{TN})^2 - 2I_{N1} \frac{\theta}{\beta_N} (V_B - V_{SS} - V_{TN}) + \left(I_{N1} \cdot \frac{\theta}{\beta_N} \right)^2 \right] \quad (11e)$$

$$I_{N2} = \frac{\beta_N}{2} \left[(V_B - V_{SS} - V_{TN})^2 - 2I_{N2} \frac{\theta}{\beta_N} (V_B - V_{SS} - V_{TN}) + \left(I_{N2} \cdot \frac{\theta}{\beta_N} \right)^2 \right] \quad (11g)$$

Making the assumption that third terms in equations (11) are negligible, which is valid for the devices and the technology we use typically, and using these equations in (3) one can have the following

$$I_{out} \approx \beta_P V_C V_{id} + \theta [I_{P1} (V_{CC} - V_1 - V_{TP}) + I_{P3} (V_{REF} - V_2 - V_{TP})]$$

$$-I_{P2}(V_{CC}-V_2-V_{TP})-I_{P4}(V_{REF}-V_1-V_{TP})-(I_{N1}-I_{N2})(V_B-V_{SS}-V_{TN})] \quad (12)$$

Using (7) in (12) yields

$$I_{out} = \beta_P V_C V_{id} + \frac{\theta \beta_P}{2} \left[\left(\frac{(V_{CC}-V_1-V_{TP})^3}{1+\theta(V_{CC}-V_1-V_{TP})} \right) + \left(\frac{(V_{REF}-V_2-V_{TP})^3}{1+\theta(V_{REF}-V_2-V_{TP})} \right) - \left(\frac{(V_{CC}-V_2-V_{TP})^3}{1+\theta(V_{CC}-V_2-V_{TP})} \right) - \left(\frac{(V_{REF}-V_1-V_{TP})^3}{1+\theta(V_{REF}-V_1-V_{TP})} \right) \right] \quad (13)$$

The second term of equation (13) represents the error resulting from the mobility reduction effect on the transfer function of the transconductor. This error is of third order and can be reduced by keeping the operation of the transconductor with $(V_{CC}-V_1-V_{TP})$, $(V_{REF}-V_2-V_{TP})$, $(V_{CC}-V_2-V_{TP})$ and $(V_{REF}-V_1-V_{TP})$ respectively less than unity.

d. Channel modulation

In order to enable the transconductor to operate over a wide frequency band, the geometrical sizes of the transistors have to be reduced. At this point, the channel modulation effect results in degradation of MOS device output resistance which influences the basic characteristic of the transconductor. If λ_N , λ_P are the channel modulation factors of the n and p-MOS transistors shown in fig. 1, one can write the following expression for the differential output (short circuit) current

$$I = I_{out} + I_{\lambda} \quad (14)$$

where I_{out} is as given in equation (4). I_{λ} is an additional current component caused by the channel-length modulation.

Incorporating the effect of channel-length modulation requires the modification of equation (1) to take into account the dependence of I_D on the drain-source voltage V_{DS} . A widely used relation expressing this dependency is given by

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \left[1 + \left(\frac{\lambda}{L} \right) V_{DS} \right] \quad (15)$$

Taking into account equation (15), the output current becomes

$$I_{out} = \beta_P V_C V_{id} + \frac{\lambda_P \beta_P}{2L} \left[V_{CC} \left((V_{CC} - V_1 - V_{TP})^2 - (V_{CC} - V_2 - V_{TP})^2 \right) - V_{REF} \left((V_{REF} - V_1 - V_{TP})^2 - (V_{REF} - V_2 - V_{TP})^2 \right) \right] \quad (16)$$

Equation (16) is written in a form that show the additional current component I_{λ} resulting from the channel-length modulation effect. I_{λ} is given by

$$I_{\lambda} = \frac{\lambda_P \beta_P}{2L} \left[V_{CC} \left((V_{CC} - V_1 - V_{TP})^2 - (V_{CC} - V_2 - V_{TP})^2 \right) - V_{REF} \left((V_{REF} - V_1 - V_{TP})^2 - (V_{REF} - V_2 - V_{TP})^2 \right) \right] \quad (17)$$

This additional current appears as an offset current when $V_1 = V_2$ leading to $I_{out} = 0$ and $I = I_\lambda = I_{offset} = 0$. A clear advantage compared to what is reported in [8]. This offset is nulled here due to the fully symmetrical structure of the circuit.

e. Noise

Noise performance of a differential pair is given in [14]. The circuit under investigation has the same noise properties as a simple differential pair biased at the same current. The reason is the existence of two independent subcircuits (differential pairs) in the circuit of figure 4.1. Combining the differential pairs to form the transconductor circuit results in two times as much signal power and also two times as much noise power for total bias current two times compared to a simple differential pair.

Range of output current

The basic operation of the proposed circuit relies on the transistors operating in saturation region. This means that all transistors have to satisfy the conditions (for $i=1,2,3,4$ and $j=1,2$)

$$V_{SDi} > V_{SGi} - V_{TPi} \text{ for the p-MOS transistors} \quad (18a)$$

and

$$V_{DSj} > V_{GSj} - V_{TNj} \text{ for the n-MOS transistors} \quad (18b)$$

Satisfaction of these conditions implies a minimum value of V_1 and V_2

$$V_1, V_2 \geq V_B - V_{TN} - V_{TP}$$

Thus, the maximum differential input range with outputs at short circuit ($V_{o1} = V_{o2} = 0$) is given by

$$\Delta V_{in}|_{max} = V_1(or V_2)|_{max} - V_2(or V_1)|_{min} \quad (19)$$

For balanced differential input signals

$$V_1 = V_{cm} + \frac{V_d}{2}, \quad (20a)$$

$$V_2 = V_{cm} - \frac{V_d}{2} \quad (20b)$$

V_{cm} and V_d are, respectively, the common mode and differential voltages, $\Delta V_{in}|_{max} = V_d$ and the maximum signal swing of the output current will be

$$\Delta I_{out}|_{max} = [g_m] \Delta V_{in}|_{max} \quad (21)$$

When the transconductor is cascaded with another network, the condition of short circuited outputs does not hold any longer. The output current flows through the input impedance of the following network and voltages ($V_{o1} = V_{o2} = 0$) are generated at

the interface. The output dynamic range is the limit of this output current for which the transistors in the transconductor remain in saturation. The limit can be easily reached in relation to the dynamic of V_1 and V_2 as follows. If R_o is the output resistance of the transconductor, the output current swing for load R_L will be

$$\Delta I_{out}|_{R_L} = \Delta I_{out}|_{max} \frac{R_o}{R_o + R_L} = [g_m] \Delta V_{in}|_{max} \frac{R_o}{R_o + R_L} \quad (22)$$

where $\Delta I_{out}|_{max}$ is the value for $R_L = 0$.

Equation (22) reveal the relationship that will exist between the dynamic ranges at the output current and the input voltage under finite output loading.

AC Analysis

The AC equivalent model of the proposed fully differential transconductor circuit is shown in fig. 4.2. The short circuit output currents i_{o1} and i_{o2} are given by

$$i_{o1} = v_1 (g_{p1} - sC_{gdp1}) + v_2 (g_{p3} - sC_{gdp3}) \quad (23a)$$

$$i_{o2} = v_1 (g_{p4} - sC_{gdp4}) + v_2 (g_{p2} - sC_{gdp2}) \quad (23b)$$

where

$$g_{pi} = \sqrt{2I_D i_p \mu_p C_{OX} \left(\frac{W}{L} \right)_i}, \quad (i=1, 2, 3, 4) \quad (24)$$

is the transconductance, and sC_{gdp_i} is the gate-drain parasitic capacitances of the PMOS devices.

Assuming a fully differential input signal ($v_1 = \frac{v}{2}$, $v_2 = -\frac{v}{2}$) around a common mode voltage $v_{cm} = 0$, the output current $i_o = i_{o2} - i_{o1}$ can be written as

$$i_o = \frac{v}{2} \left(g_{p1} + g_{p2} - g_{p3} - g_{p4} + sC_{gdp3} + sC_{gdp4} - sC_{gdp1} - sC_{gdp2} \right) \quad (25)$$

In the saturation region, the channel of transistors is very narrow at the drain end and the drain voltage exerts little influence on either the channel or the gate charge [15]. As a consequence, the intrinsic portion of C_{gd} is essentially zero in the saturation region and C_{gd} then consists of a constant parasitic oxide-capacitance contribution (1 to 10 fF for small devices) due to gate overlap of the drain region. Assuming identical p-MOS transistors, the existing parasitic oxide-capacitance can be considered equals

$$C_{gdp1} = C_{gdp2} = C_{gdp3} = C_{gdp4} \quad (26)$$

this assumption leads to an output current i_o expressed as

$$i_o = \frac{v}{2} \left(g_{p1} + g_{p2} - g_{p3} - g_{p4} \right) \quad (27)$$

and an AC transconductance

$$g_m = \frac{1}{2} \left(g_{p1} + g_{p2} - g_{p3} - g_{p4} \right) \quad (28)$$

Thus the transconductor exhibits an AC transconductance which is frequency independent (wideband). The frequency limitation of the proposed transconductor will be primarily determined by the frequency dependence of the transconductance factors of the individuals MOS transistors, but these frequencies are normally in the GHz range and hence this effect will be ignored in the present article.

III. Application examples

In the following sections we address two main applications of transconductor which are: a biquad second order bandpass filter and a current opamp.

1. Biquad filter realization

The basic building block of transconductance-C (G_m -C) filter is an integrator involving a transconductor and a capacitor. The integrator is usually characterized by its DC gain and its unity gain frequency ($\omega_0 = G_m/C$). Deviations from the ideal -90° phase of the integrator are mainly due to finite DC gain and parasitic poles of the transconductance circuit [16]. For high-frequency filters which use the G_m -C approach, the frequency response is very sensitive to the phase shifts in the integrators. Therefore, to avoid deviations in the filter characteristics, a high-dc-gain integrator is required with parasitic poles located much higher than the filter cut-off frequency to keep the integrator phase at -90° .

Using the transconductance circuit of figure 4.1, the DC gain and the bandwidth of the derived integrator can be improved with a negative resistance load (NRL) according to [3]. The resulting integrator block is shown in figure 4.3, where V_{CR} is a variable voltage used to tune the negative resistance load.

As an example of application of the proposed transconductor and integrator, a second-order (biquadratic cell) bandpass filter has been designed [13,17]. The block diagram of the filter is shown in figure 4.4. According to [17] the circuit realizes the second-order bandpass function:

$$H_{BP}(s) = \frac{V_{out}}{V_{in}} = \frac{sCg_m}{C^2s^2 + sCg_m + g_m^2} = \frac{sM(\omega_0/Q_0)}{s^2 + s(\omega_0/Q_0) + \omega_0^2} \quad (29)$$

Equation (29) were written in a form that shows explicitly the relevant filter parameters: the midband gain M of the bandpass, the pole frequency ω_0 , and the pole quality factor Q_0 .

2. Current opamp realization

As shown in Fig. 4.5, the proposed current opamp is composed of two stages [14]: the transimpedance which changes the input current to a voltage signal and the transconductance that converts the voltage to current at the output. Thus, the current amplifier can be considered as a transimpedance input stage gain (r_m) followed by a transconductance output stage gain (g_m) . The current gain (A_o) of the opamp is then equal to the product:

$$A_o = r_m \cdot g_m \quad (30)$$

A current opamp is basically a circuit with a low input impedance, a high current gain, and a high output impedance [11],[18]. According to figure 4.5, these characteristics can be met by a low input impedance of the transimpedance stage and a high output impedance of the transconductance stage. The high gain characteristic can be obtained by a high transimpedance value r_m according to equation (30).

A complete circuit corresponding to the architecture of fig. 4.5 is shown in fig. 4.6. The transimpedance block is composed of two common-gate stages. The architecture of this block is based on the differential configuration of the common-gate stage used by bruun in [11]. A common-mode feedback (CMFB) circuit must be added. This extra circuitry is needed to establish the common-mode output voltage.

The input impedance R_{in} of the transimpedance stage can be approximated by

$$R_{in} = \frac{2}{g_{ms}} \quad (31)$$

where g_{ms} is the MOS input transistor (M_1) source transconductance.

The additional current mirror (M_2 , M_3 , M_4 and M_5) at the output of the common gate stage is required in order to obtain high transimpedance. With this configuration, the resulting differential transimpedance is

$$r_m = \frac{v_{rm2} - v_{rm1}}{i_{in2} - i_{in1}} \quad (32)$$

With this configuration, the resulting differential current gain is

$$A_0 = \frac{i_{o2} - i_{o1}}{i_{in2} - i_{in1}} = r_m g_m \quad (33)$$

where r_m , given by (32), is the parallel combination of the current mirror output resistance and the current source I_3 output resistance, and g_m is the transconductance value given by (28).

The proposed opamp has a single dominant pole (p_d) caused by the only high impedance node in the signal path, i.e. the input to the transconductance stage

$$p_d = \frac{1}{2\pi r_m C_p} \quad (34)$$

where C_p is the parallel connection of two capacitances: the input of the transconductance stage and the output of the current mirror stage.

This leads to a gain bandwidth product given by

$$GBW = \frac{g_m}{2\pi C_p} \quad (35)$$

The first higher order pole is most likely caused by the current mirror stage which

contributes a pole at a frequency of

$$p_1 = \frac{g_m}{2\pi C_m} \quad (36)$$

where C_m is the current mirror input capacitance in parallel with the output capacitance of the common gate stage.

IV. Simulation results

SPICE parameters of 0.8 micron BiCMOS process (Northern Telecom, Canada) were used for simulation to derive the large signal transfer characteristics and the AC characteristics of the transconductance circuit as well as the frequency responses of both described applications: the bandpass filter and the current opamp. For all the simulations, Analog Artist from Cadence tools was used with HSPICE as simulator.

Simulation results of the transconductor

The dimensions of transistors used in the transconductor circuit are listed in table 4.1. Supply voltages $V_{CC} = 1.5 \text{ V}$ (2.5 V) and $V_{SS} = -1.5 \text{ V}$ (-2.5 V) have been used.

a. DC characteristics

The DC simulation results are shown in Figures 4.7(a)- 4.7(b) for $\pm 2.5 \text{ V}$ and $\pm 1.5 \text{ V}$ supply voltages. These figures show the tuning capability of the transconductor using V_{REF} as tuning voltage.

b. AC characteristics

Under AC voltage excitation, the i-v characteristics of the transconductor circuit are shown in Figures 4.7(c)- 4.7(d). For different values of V_{REF} , the transconductance value remains constant up to frequencies beyond 500 MHz and can be tuned from $40\ \mu S$ to $950\ \mu S$ ($500\ \mu S$) for $\pm 2.5\ V$ ($\pm 1.5\ V$) .

c. Speed characteristics

A differential digital logic signal of 1 Vpp amplitude was applied to the transconductance circuit and the differential load current through $1\ K\Omega$ resistance was simulated. Clock rate of 200 MHz was used. Figure 4.8 shows the output (current) response. The delay time of one clock cycle (rising edge, falling edge plus settling times at the two edges) was 300 ps.

Simulation results of the biquad filter

The transistors ratios for the biquad filter are given in Table 4.2. Varying V_{REF} from 0.9 V to 1.45 V and consequently adjusting V_B and V_{CR} , the filter center frequency is tuned in the range of 4 MHz-49 MHz as shown in figure 4.9(a), at power consumption of 5 mW and supply voltage of $\pm 1.5\ V$. This shows the feasibility of the designed filter in the low-supply-voltage operation. The filter was simulated also with $\pm 2.5\ V$ supply voltage, the center frequency was tunable in the range of 30 MHz-110 MHz (Fig. 4.9(b)) at power consumption of 54 mW.

Cascading two biquads, a fourth order bandpass filter has been also simulated in

order to enhance the quality factor (Figs. 4.9(c)- 4.9(d))

Simulation results of the current opamp

The transistors ratios of the current opamp are given in Table 4.3. Current sources $I_1 = I_3 = I_2/2 = 2.5\mu A$ have been used. Fig. 4.10 shows the simulated open loop gain and phase response of the opamp. Fig. 11 shows its tuning capability. The opamp gain can be tuned between 70 dB and 96 dB depending on the value of V_{REF} . A high gain-bandwidth product of 145 MHz has been achieved at power consumption of less than 0.5 mW and power supply voltage of $\pm 1.5 V$.

V. Experimental results

The transconductor circuit has been fabricated by the Canadian Microelectronics Corporation (CMC). Fig. 4.12 shows the microphotograph of the fabricated chip $90\mu m \times 35\mu m$ (excluding the pads). Experimental results are shown in Fig. 4.13(a)- 4.13(b). Supply voltages $V_{CC}=2.5V$, $V_{REF}=1.95V$, $V_{SS}=-2.5V$ have been used. Six samples have been fabricated and tested. All the samples are working properly. For clarity purpose, results of only three samples of the fabricated IC chip are shown alongside the Hspice simulation results (id-hsp). Fig. 4.13(b) presents the large signal transconductance values obtained by simulation (gm-hsp) and by measurements on the sample chips. As expected, the transconductor offers a good linearity, with a transconductance value which is tunable via V_{REF} . Deviations of measurements from the simulation results are due either to process-induced variations, or to error in the model parameters, which are basi-

cally derived for digital IC applications, or to the measurements and instruments accuracy.

VI. CONCLUSION

A fully differential and tunable transconductance circuit that uses 6 MOS transistors has been introduced as a building block for analog signal processing systems in the VHF range. The circuit is very simple (less number of devices) compared to the some reported transconductors in previous works. Both large-signal and small-signal analyses have been presented. Special attention has been given to the bandwidth and the tunability of the proposed circuit: the bandwidth is clearly improved (compared to [8]) by the adoption of a fully differential structure and the elimination of internal nodes from the circuit; the tunability is achieved without any additional circuitry via only one reference voltage. The potential of the proposed transconductance to realize voltage and current-mode system functions has been illustrated. HSPICE simulation results have been presented to confirm the results arising out of the theoretical analysis. Experimental results of the proposed transconductor circuit have been given.

Acknowledgements

The authors are grateful to R. Raut for his comments and suggestions to improve this paper. They also acknowledge the funding provided by the Natural Sciences and Engineering Research Council of Canada (NSERC). Thanks also due to the Canadian Microelectronics Corporation (CMC) for providing the various design tools as well as the

the fabrication technology.

References

- [1] A. Nedungadi and T.R. Viswanathan, "Design of Linear CMOS Transconductance Elements," *IEEE Transactions on Circuits and Systems*, Vol. CAS-31, No. 10, pp. 891-894, October 1984.
- [2] R. R. Torrance, T. R. Viswanathan, and J. V. Hanson, "CMOS Voltage to Current Transducers," *IEEE Transactions on Circuits and Systems*, Vol. CAS-32, No. 11, pp. 1097-1104, November 1985.
- [3] C. -S. Park and R. Schaumann, "A High-Frequency CMOS Linear Transconductance element," *IEEE Transactions on Circuits and Systems*, Vol. CAS-33, No. 11, pp. 1132-1138, November 1986.
- [4] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS Linear Transconductor/Square-Law Function Circuit," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 3, pp. 366-377, June 1987.
- [5] S. Szczepanski and R. Schaumann, "A Linear CMOS OTA for VHF Applications" *Proc. IEEE International Symposium on Circuits and Systems*, pp. 1344-1347, 1995.

- [6] B. Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 2, pp. 142-153, February 1992.
- [7] B. Pankiewicz and S. Szczepanski, "Body-Tunable CMOS OTA for Continuous-Time Analog Filter Applications," *ICECS'96*, pp. 132-135, 1996
- [8] R. Raut, "A CMOS Building Block for Analogue VLSI Systems," *Int. J. Electronics*, Vol. 80, No. 1, pp. 77-98, 1996.
- [9] M. Ismail and T. Fiez, "Analog VLSI Signal and Information Processing," McGraw-Hill, 1994, p 63-72.
- [10] S. Szczepanski, J. Jakusz, and R. Schaumann, "A linear fully balanced CMOS OTA for VHF filtering applications," *IEEE Trans. Circ. Syst.*, vol. 44, NO. 3, pp. 174-187, March 1997.
- [11] E. Bruun, "A High-Speed CMOS Current Opamp for Very Low Supply Voltage Operation," *Proceedings of the 1994 IEEE International Symposium on Circuits and Systems*, Vol. 5, pp. 509-512, 1994.
- [12] A. Assi, M. Sawan and R. Raut, "A New VCT for Analog IC Applications", *The Eighth International Conference on Microelectronics*, Cairo, pp. 169-172, December 1996.

- [13] A. Assi, M. Sawan and R. Raut, "A New CMOS Tunable Transconductor Dedicated to VHF Continuous-Time Filters", The Seventh Great Lakes Symposium on VLSI, pp. 143-148, March 1997.
- [14] A. Assi, M. Sawan and R. Raut, "A Fully Differential and Tunable CMOS Current Mode Opamp Based on Transimpedance-Transconductance Technique", The 40th Midwest Symposium on Circuits and Systems, 1997.
- [15] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits", Wiley & Sons, Third Edition, 792 p., 1993.
- [16] J. E. Kardontchik, "Introduction to the Design of Transconductor-Capacitor Filters", Kluwer Academic Publishers, Chapter 11, 1992.
- [17] R. Schaumann "Continuous-Time Integrated Filters - A Tutorial" IEE Preceedings, Vol. 136, pp. 184-190, August 1989.
- [18] T. Kaulberg, "A CMOS Current-Mode Operational Amplifier," IEEE J. Solid-State Circuits, Vol. 28, pp. 849-852, July 1993.

LIST OF FIGURES

Fig. 4.1. The differential-in differential-out transconductor circuit.

Fig. 4.2. The ac equivalent model for the transconductor circuit.

Fig 4.3. The transconductor-C integrator: a) block diagram; b) complete schematic.

Fig. 4.4. Filter structure.

Fig. 4.5 Block diagram of the proposed current opamp.

Fig. 4.6. Complete circuit of the fully differential CMOS current opamp.

Fig. 4.7. Tuning capability of the transconductance circuit;

V_{REF} is taken as parameter:

DC responses: a) $V_{CC} = -V_{SS} = 1.5$ V; b) $V_{CC} = -V_{SS} = 2.5$ V.

Fig. 4.8. Output (current) response of the transconductance circuit at 200 MHz clock signal (1 V pp, differential).

Fig. 4.9. Simulated response of the bandpass biquad filter:

Tuning capability: a) $V_{CC} = -V_{SS} = 1.5$ V; b) $V_{CC} = -V_{SS} = 2.5$ V.

Fig. 4.10. Simulated open loop frequency response of the current opamp.

Fig. 4.11. Tuning capability of the current opamp.

Fig. 4.12. Microphotograph of the transconductor circuit.

Fig. 4.13. Measured results of the transconductor circuit

a) Large signal transfer characteristics.

b) Transconductance characteristics.

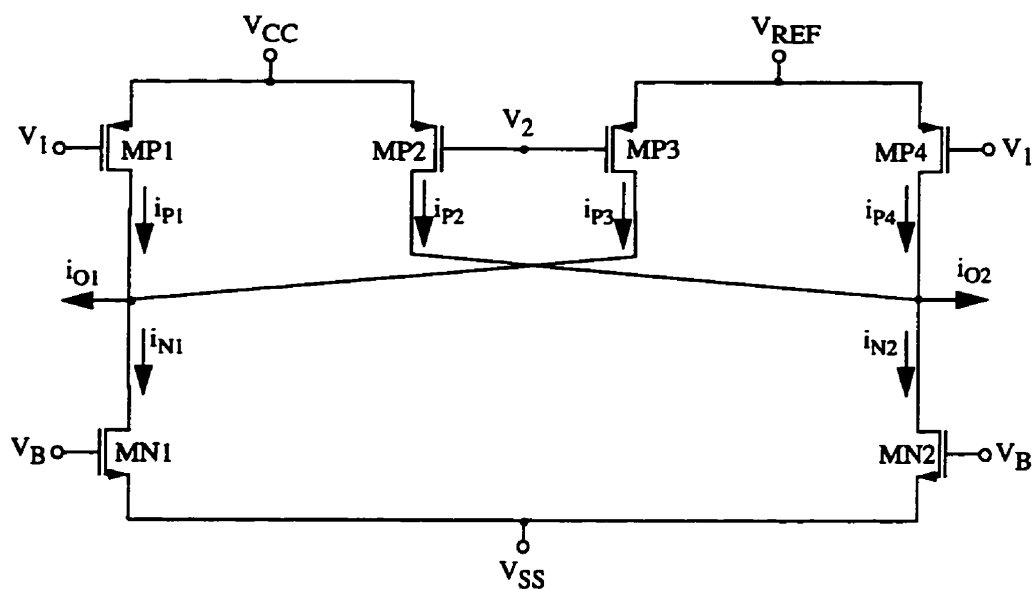


Fig. 4.1

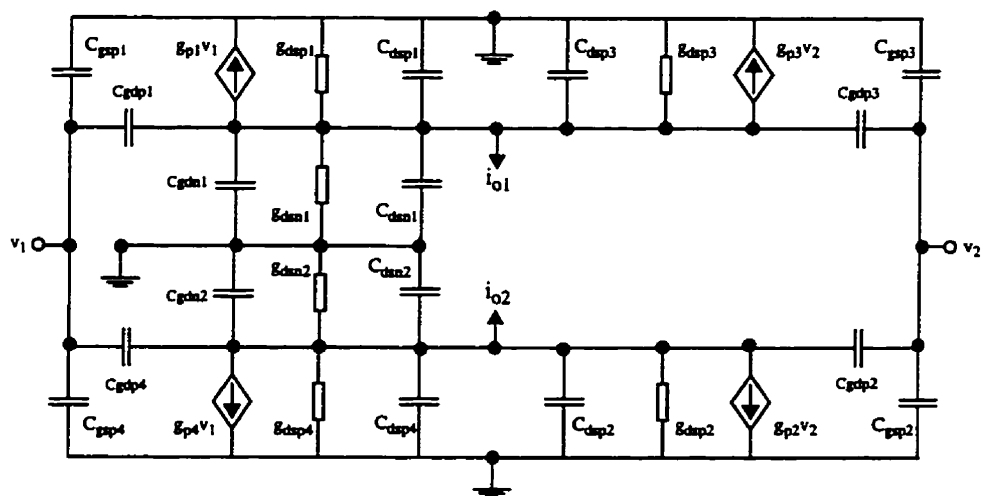
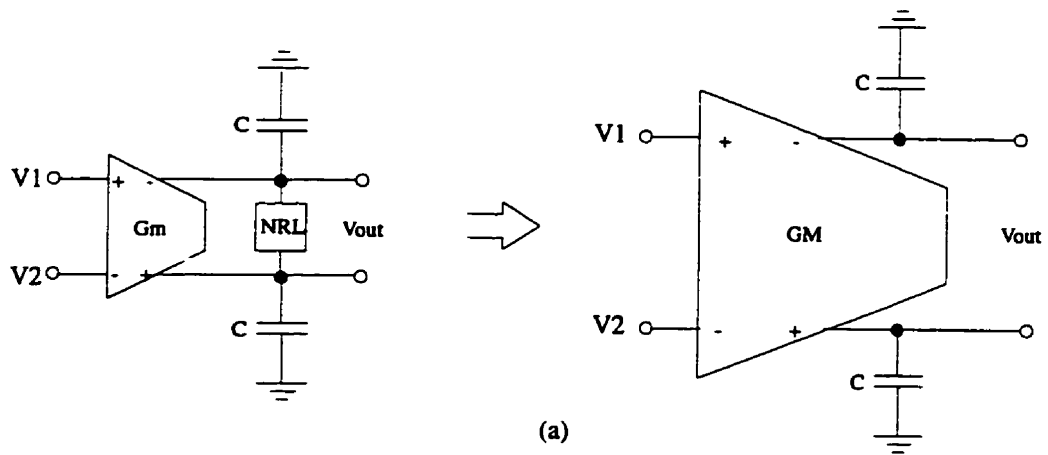
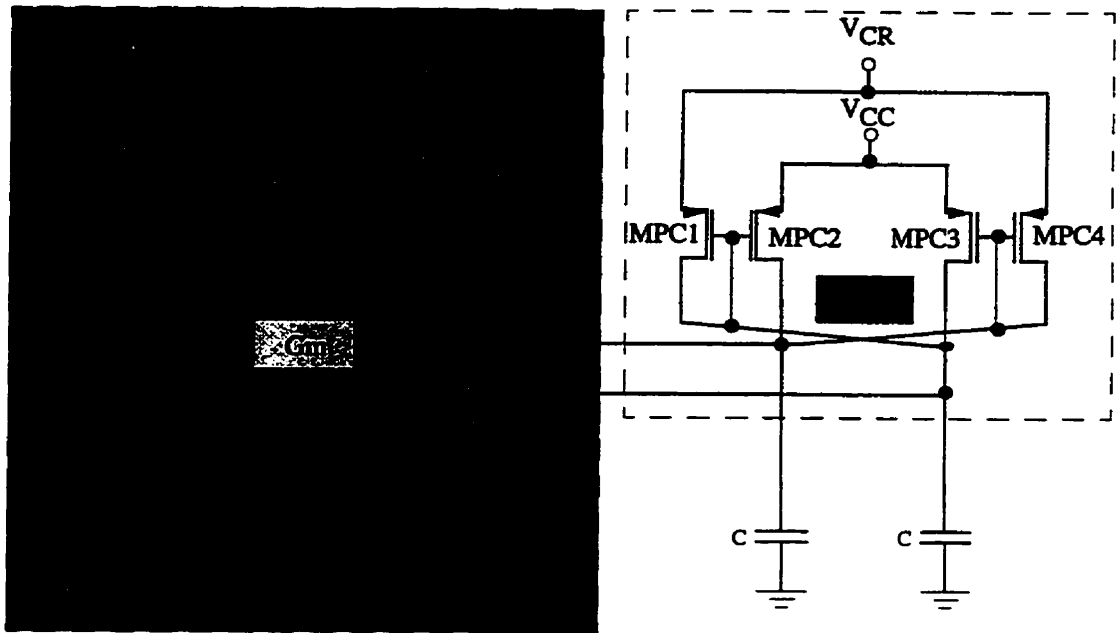


Fig. 4.2



(a)



(b)

Fig. 4.3

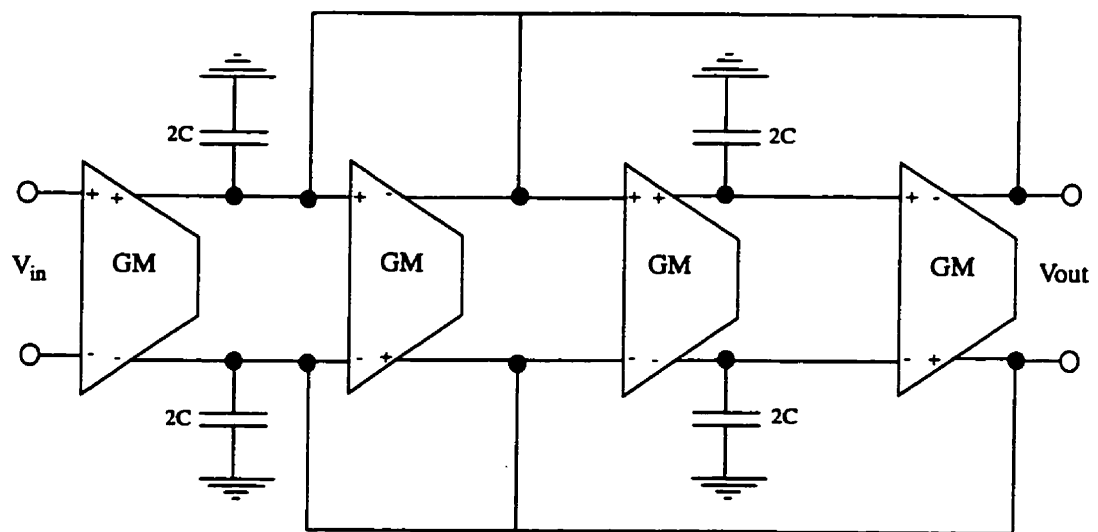


Fig. 4.4

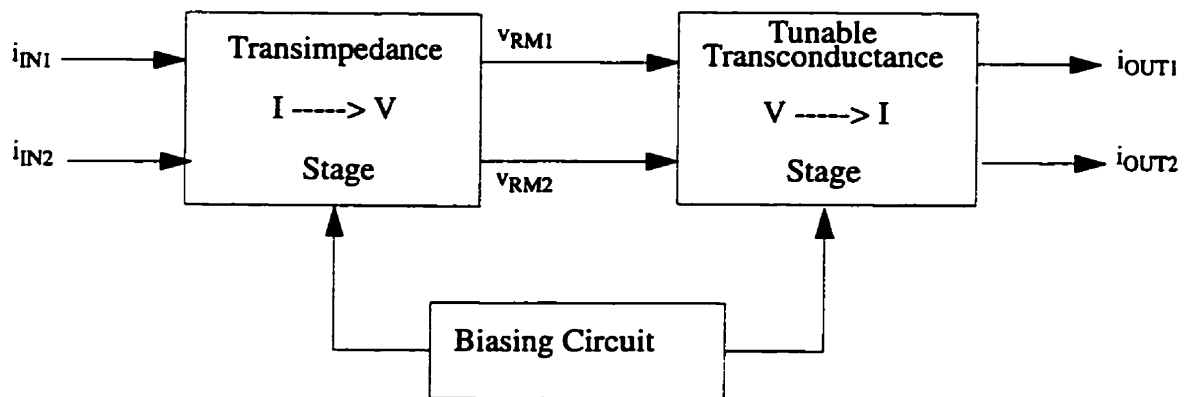


Fig. 4.5

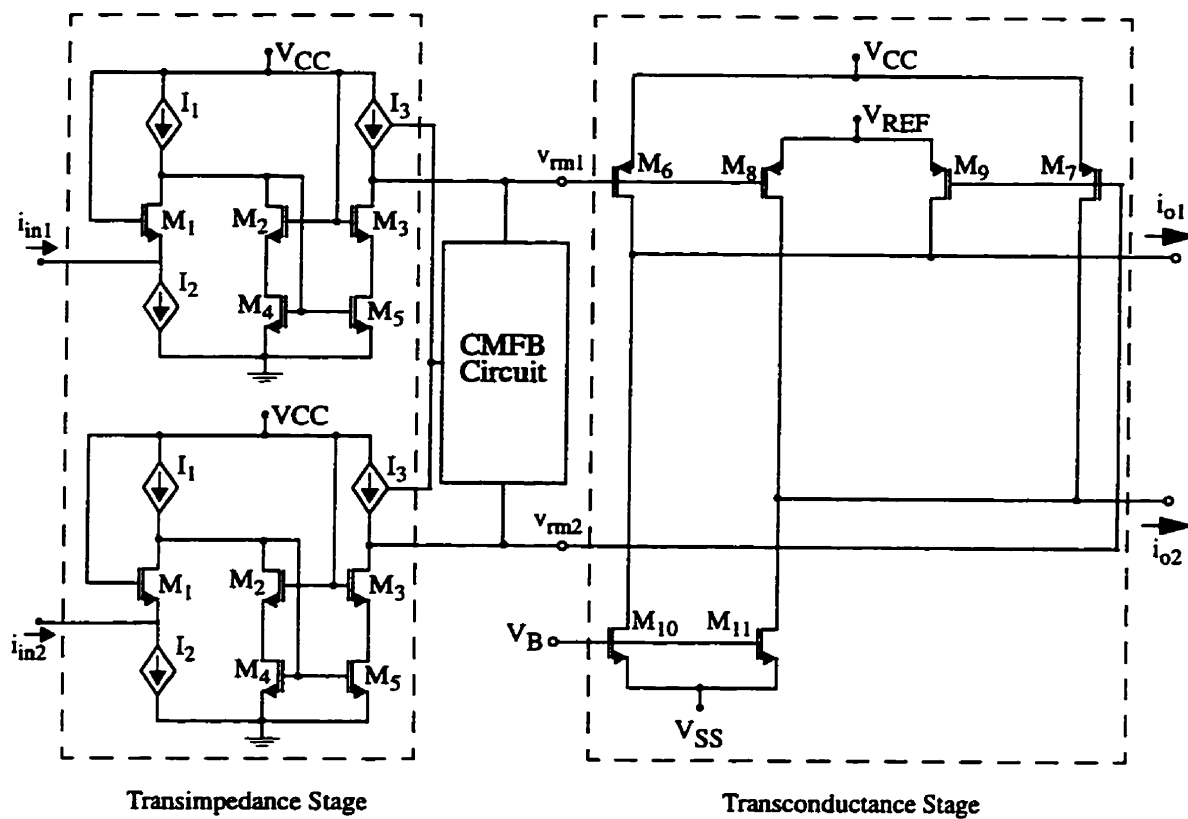


Fig. 4.6

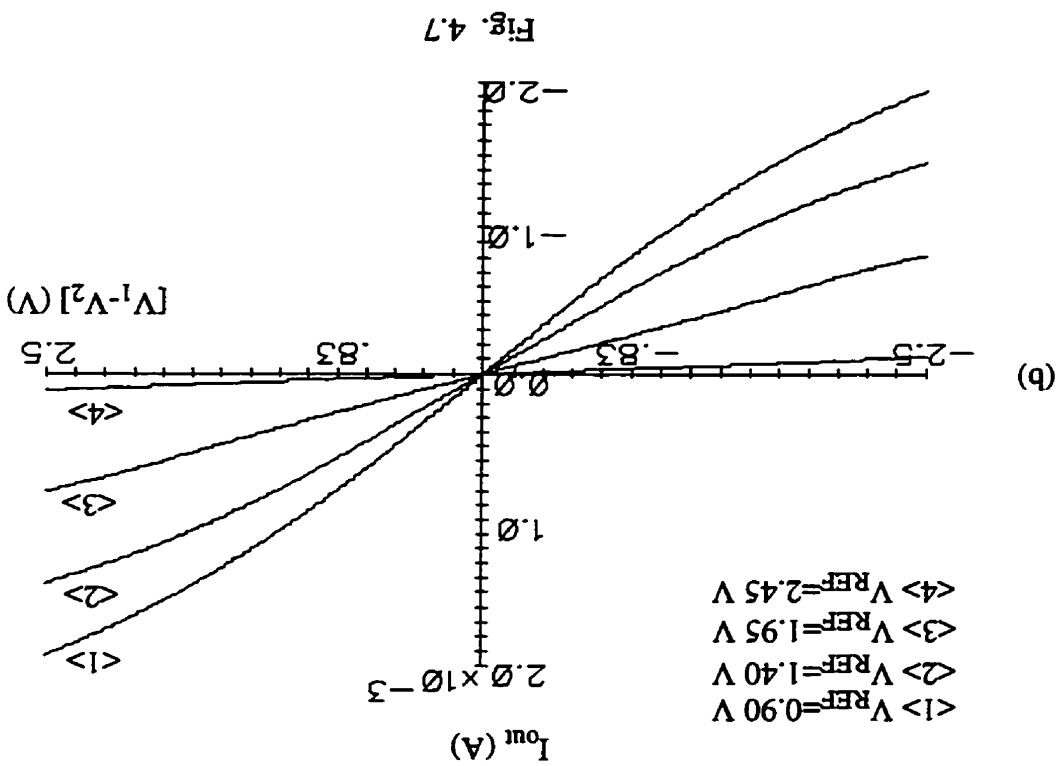
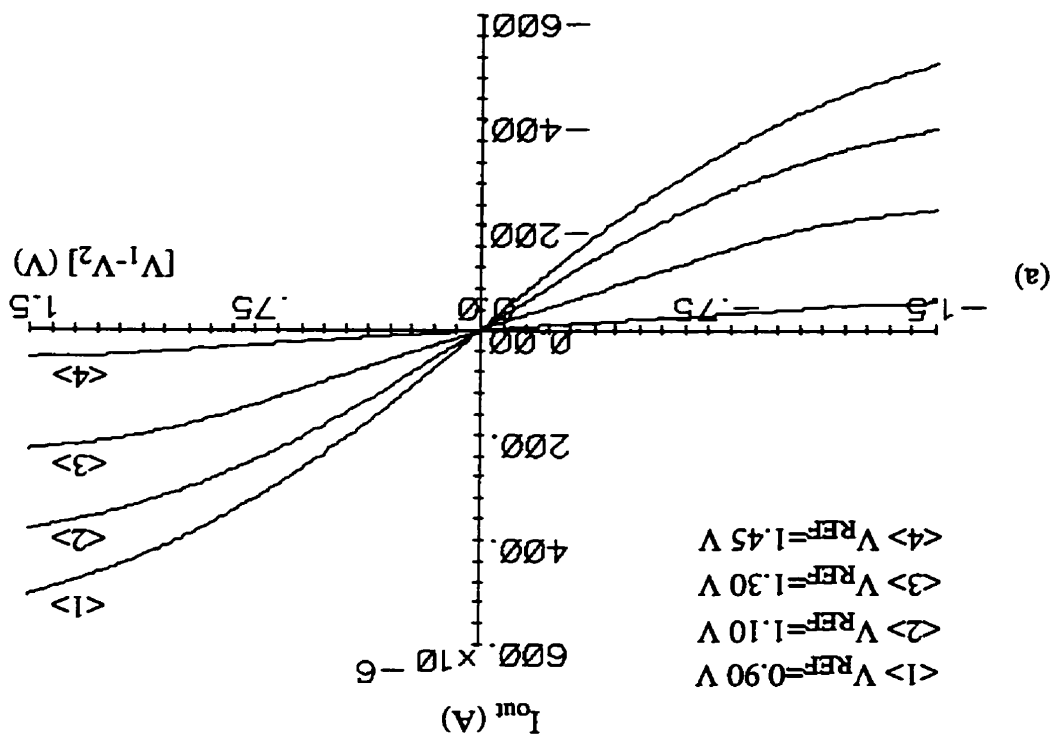


Fig. 4.7

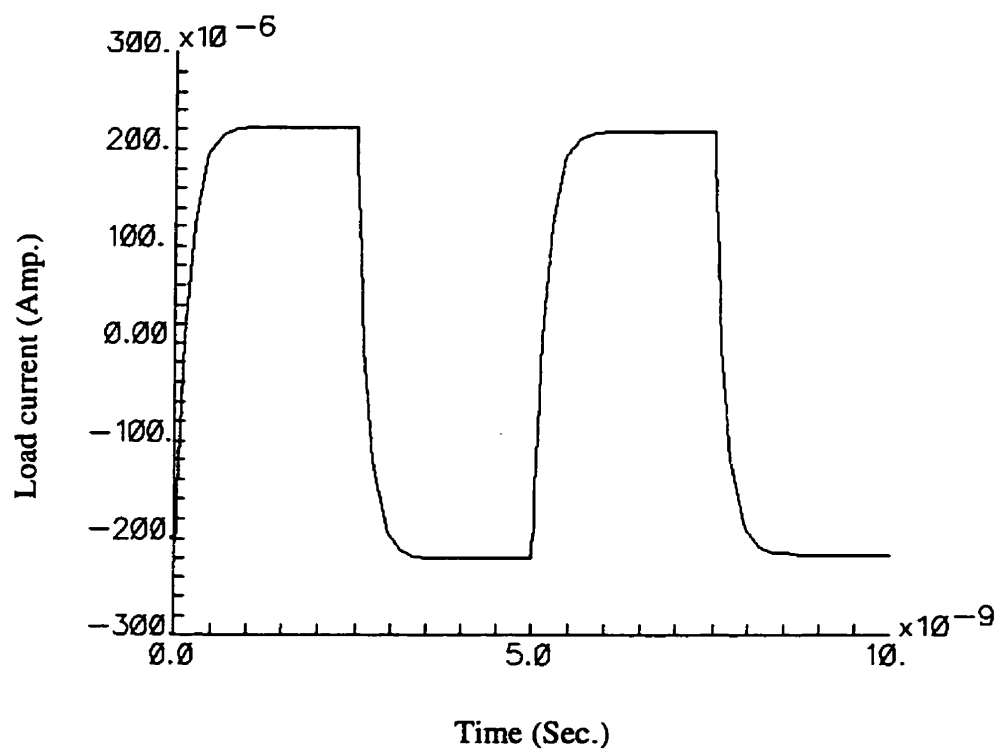


Fig. 4.8

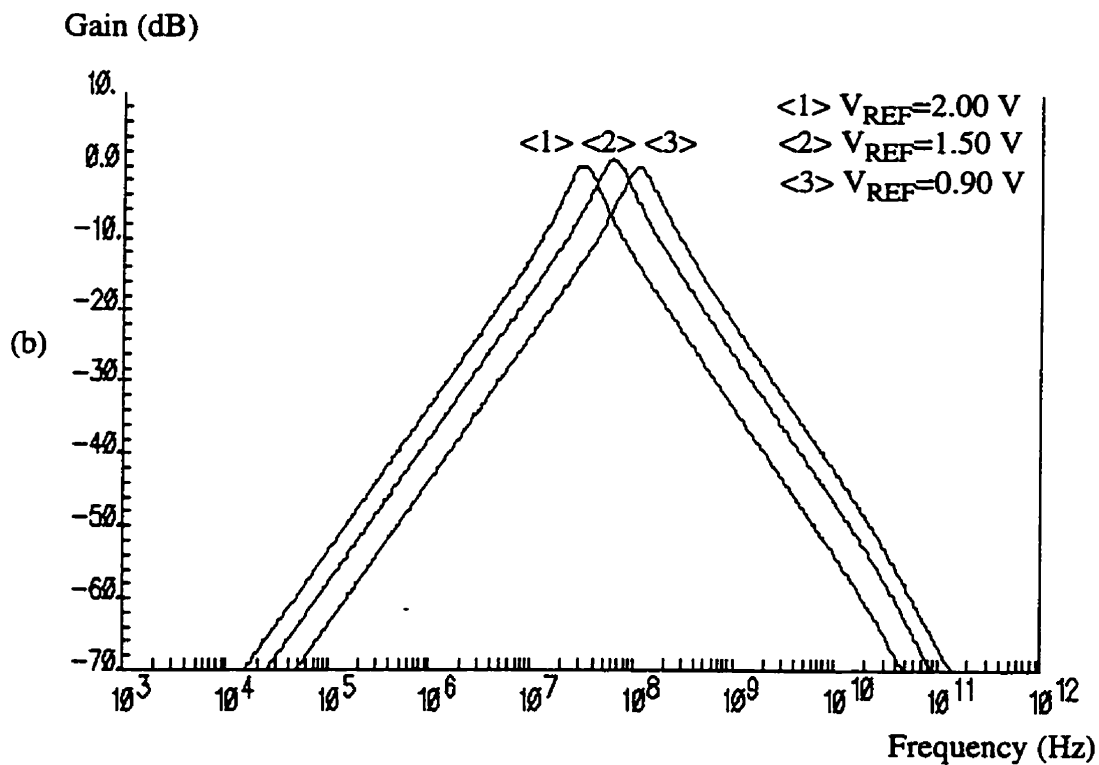
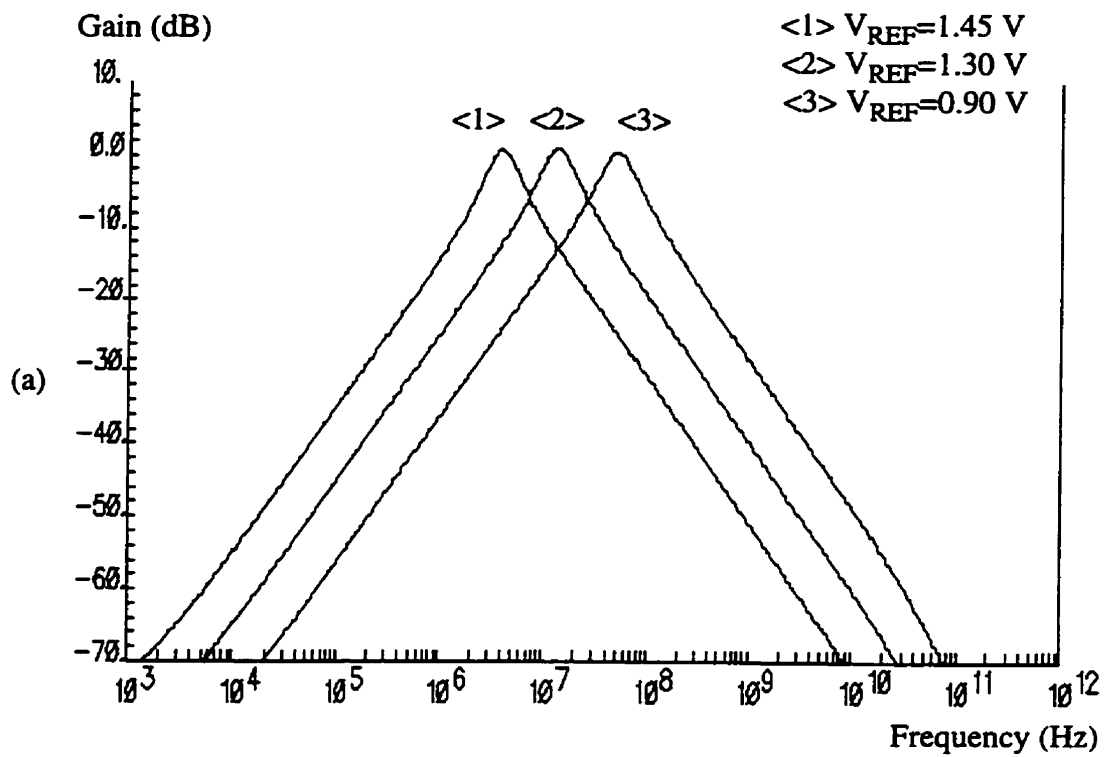


Fig. 4.9

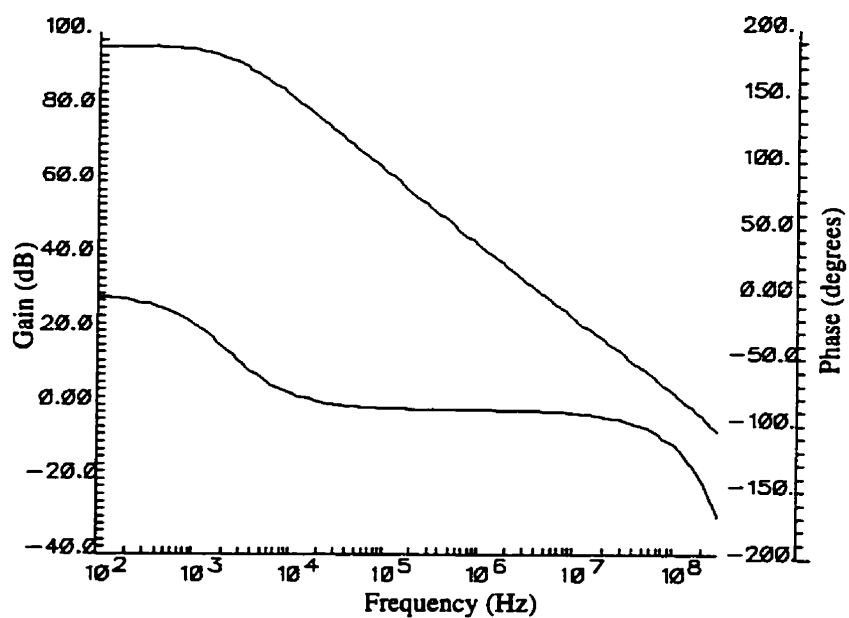


Fig. 4.10

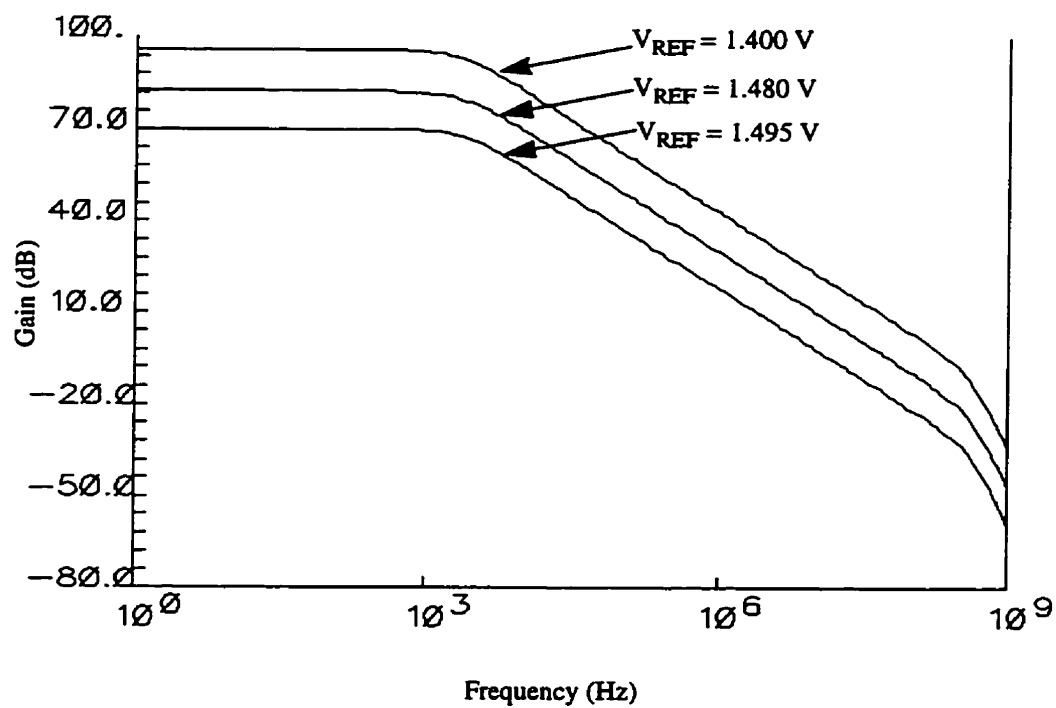


Fig. 4.11

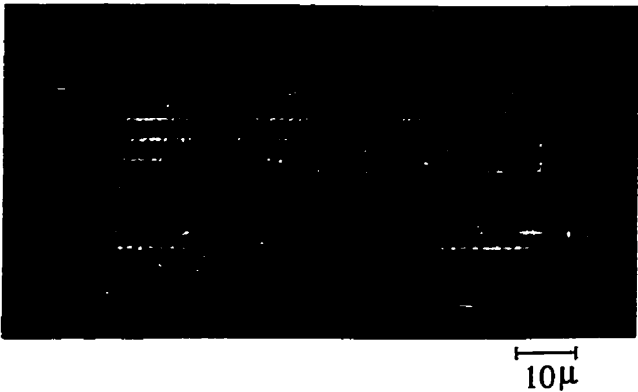
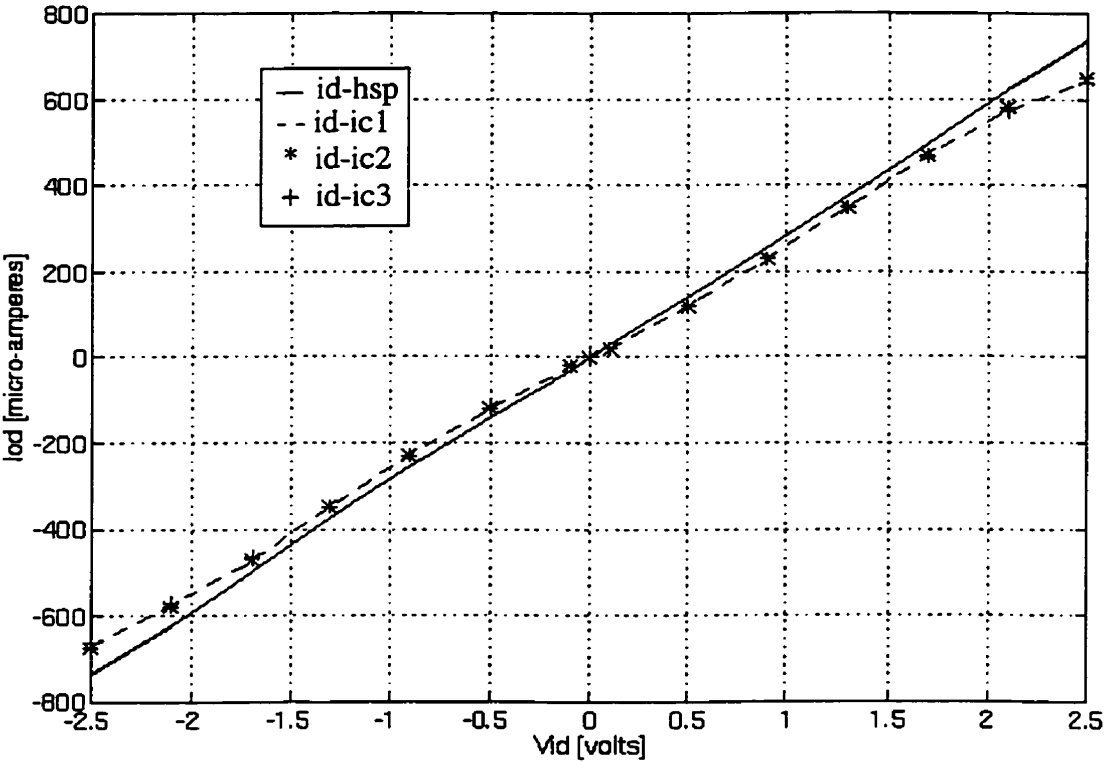
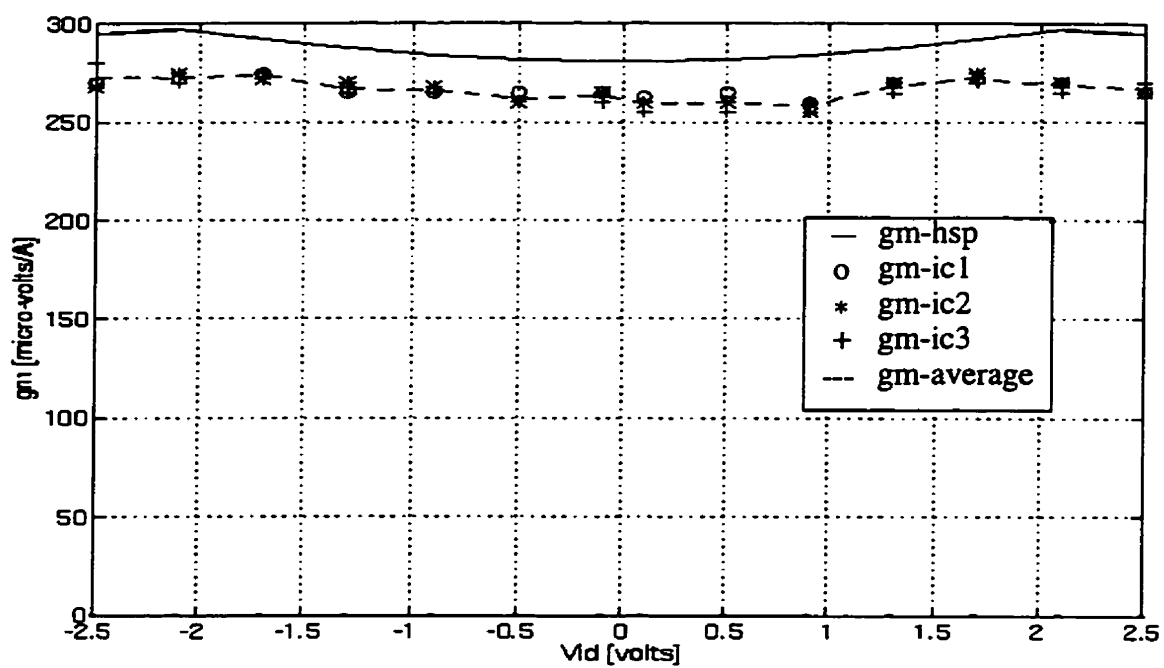


Fig. 4.12



(a)

Fig. 4.13



(b)

Fig. 4.13 (cont'd)

LIST OF TABLES

Table 4.1. Dimensions (μm) of the transistors used in the transconductor.

Table 4.2. Dimensions (μm) of the transistors used in the bandpass biquad filter.

Table 4.3. Dimensions (μm) of the transistors used in the current opamp.

Table 4.1: Dimensions (μm) of the transistors used in the transconductance circuit.

Transistors	W/L
MP1, MP2, MP3, MP4	45/1.4
MN1, MN2	20/2.4

Table 4.2: Dimensions (μm) of the transistors used in the bandpass biquad filter.

Transistors	W/L
MP1, MP2, MP3, MP4	45/1.4
MN1, MN2	20/2.4
MPC1, MPC2, MPC3, MPC4	10/3.4

Table 4.3: Dimensions (μm) of the transistors used in the current opamp.

Transistors	W/L
M1, M2, M3, M4, M5	1.4/0.9
M6, M7, M8, M9	480/0.9
M10, M11	1.4/4.8

Conclusion

Dans cet article, une nouvelle architecture d'un circuit de transconductance simplifiée (6 transistors MOS) a été proposée. La valeur de la transconductance peut être ajustée à l'aide d'une référence de tension sans avoir recours à une alimentation réglable. La bande passante du circuit est très large (> 500 MHz) grâce à l'élimination des noeuds internes. Une bonne linéarité est obtenue par l'adoption d'une architecture différentielle. Le succès de ce circuit a été démontré par la réalisation d'un filtre passe-bande et d'un amplificateur opérationnel mode courant. La fréquence centrale (f_0) du filtre est de 112 MHz avec une tension d'alimentation de 2.5 V et la fréquence de transition (f_T) de l'amplificateur est de 145 MHz, avec une tension d'alimentation de 1.5 V.

CONCLUSION GÉNÉRALE

De nos jours, les concepteurs de circuits intégrés tendent à utiliser l'approche numérique pour réaliser les multiples fonctions électroniques. L'importance grandissante de cette approche dans la réalisation des fonctions de traitement de signal, diminue beaucoup le rôle de l'électronique analogique dans ce domaine.

Dans les années 80, la plupart des circuits intégrés dédiés au traitement de signal étaient de type analogique, alors qu'aujourd'hui, ils sont principalement de type numérique, avec seulement des interfaces analogiques vers le "monde extérieur". Avec cette migration vers l'approche numérique, le concepteur de circuits est confronté à des nouveaux défis tels que, le circuit analogique doit fonctionner dans l'environnement des circuits numériques, il doit être à la hauteur de leur performance et être réalisé avec une technologie qui est optimisée pour les applications numériques.

Ce dilemme est traité dans cette thèse selon deux axes. Dans la partie A, une méthode de réduction de la tension de décalage dans les CFOAs en technologie CMOS a été développée. L'erreur de gain du CFOA a été annulée avec cette même méthode. Dans la partie B, une nouvelle architecture d'un convertisseur tension-courant VCT, a été proposée. Cette architecture offre un bloc analogique de base dédié aux applications des circuits opérants à hautes fréquences.

Nouvelle architecture d'un CFOA en CMOS

Dans cette partie de la thèse, une nouvelle architecture d'un CFOA en technologie CMOS avec un circuit de compensation de la tension de décalage a été proposée. Le CFOA et son circuit de compensation sont réalisés sur une seule puce (compensation intégrée). La méthode de compensation proposée est une combinaison de deux techniques fréquemment exploitées par les concepteurs de circuits analogiques dans plusieurs applications. Ces deux techniques sont: l'intégration de l'erreur et la rétroaction de courant. Malgré son application en technologie CMOS, la méthode de compensation proposée est aussi applicable aux CFOAs bipolaires. Cette méthode est aussi améliorée pour pouvoir compenser à la fois, la tension de décalage et l'erreur de gain.

Nous estimons que ce travail sur le CFOA, présente deux solutions à deux problèmes réels et pratiques à ce genre d'amplificateurs opérationnels en technologie CMOS. D'autre part, nous avons pu comprendre les différents aspects de la conception des CFOAs et les problèmes reliés à ce dernier, et ce travail permet d'élargir nos horizons sur la réalisation des CFOAs à hautes performances en technologie CMOS, BiCMOS ou bipolaire.

Nouvelle architecture d'un VCT en CMOS

Dans cette partie, une nouvelle architecture d'un circuit de transconductance à haute fréquence en technologie CMOS a été proposée. Cette architecture est basée, encore

une fois, sur l'absence de noeuds internes dans le circuit. D'autre part, nous donnons dans cette architecture une très grande importance au mécanisme d'ajustement du gain, qui facilite son utilisation dans les applications de filtrage à haute fréquence et à base de transconductances et de condensateurs, où la transconductance doit être réglable pour compenser toutes les variations possibles. En plus de l'utilisation de ce circuit pour réaliser des op.amp. mode courant, il est aussi possible de l'utiliser dans la réalisation des op.amp. mode tension. A vrai dire, le circuit de transconductance proposé dans cette thèse peut être utilisé dans plusieurs applications à haute fréquence en technologie CMOS tels que présenté dans le chapitre 2.

Recommandations et développements futurs

Le travail présenté dans cette thèse constitue une ouverture vers des activités de recherche importantes, et tel qu'il a été constaté, nous avons traité deux circuits analogiques de base: le CFOA et le VCT. Pour la poursuite de travaux de recherche dans l'axe du CFOA ainsi que celui qui traitera du VCT dans des applications opérant à des hautes fréquences, nos recommandations sont les suivantes:

- appliquer la méthode de la compensation de la tension de décalage sur des architectures bipolaires et BiCMOS du CFOA. Ceci évidemment permet d'avoir des meilleures performances en termes de fréquences.
- ajouter un circuit de rétroaction («Common-Mode Feedback (CMFB)») pour l'op.amp.

différentiel basé sur la transconductance. Cette tâche est considérée parmi les plus difficiles à réaliser dans les architectures différentielles des op.amp.

- ajouter la circuiterie pour améliorer et contrôler le facteur de qualité du filtre basé sur le VCT.

- automatiser le processus de compensation de variations fréquemment survenues après la réalisation de la puce et au cours de son utilisation (température, imprécision de fabrication, etc.) en ajoutant un bloc de contrôle dédié.

BIBLIOGRAPHIE

- [ALL87] ALLEN P.E. and HOLBERG D. R. (1987). "CMOS Analog Circuit Design," HRW Series in Electrical and Computer Engineering.
- [ARM87] ARMSTRONG M. et al. (1978). "A CMOS Programmable Self-Calibrating 13b Eight-Channel Analog Interface Processor," IEEE ISSCC Dig. Tech. Papers, p. 44.
- [ASS96] ASSI A., SAWAN M. and RAUT R. (December 1996). "A New VCT for Analog IC Applications," The Eighth International Conference on Microelectronics, Cairo, pp. 169-172.
- [ASS97a] ASSI A., SAWAN M. and RAUT R. (March 1997). "A New CMOS Tunable Transconductor Dedicated to VHF Continuous-Time Filters," The Seventh Great Lakes Symposium on VLSI, Urbana, pp. 143-148.
- [ASS97b] ASSI A. and SAWAN M. (September 1997). "Design and Simulation of High Performance Building Blocks using Analog Artist from Cadence," The Second LAAS International Conference on Computer Simulation (ICCS'97), Beirut, pp. 192-197.
- [ASS97c] ASSI A. and SAWAN M. (December 1997). "VHF Bandpass Tunable

Filter Design Using CMOS Wideband Transconductance-Based Transresistance Amplifier." The Fourth IEEE International Conference on Electronics, Circuits, and Systems (ICECS'97).

- [ASS97d] ASSI A., SAWAN M. and RAUT R. (August 1997). "A Fully Differential and Tunable CMOS Current Mode Opamp Based on Transimpedance-Transconductance Technique.", 40th Midwest Symposium on Circuits and Systems.

- [BAN83] BANU M. and TSIVIDIS Y. (December 1983). "Fully-integrated active-RC filters in MOS technology." IEEE J. Solid-State Circuits, vol. 18, pp. 644-651.

- [BRO88] BROWERS D.F. (1988). "A Precision Dual 'Current Feedback' Operational Amplifier." IEEE Bipolar Circuits and Technology Meeting, pp. 68-70.

- [BRU93] BRUUN E. (1993). "CMOS Technology and Current-Feedback Op-Amps." IEEE ISCAS, vol. 2, pp. 1062-1065.

- [BRU92] BRUUN E. (November 1992). "A dual current feedback CMOS op amp." Proc. Tenth NORCHIP Seminar, pp. A9-A11, Helsinki.

- [BUL88] BULT K. (January 1988) . "Analog CMOS square-law circuits," Ph.D. dissertation, University of Twente, Enschede, The Netherlands.
- [BUL87] BULT K. and WALLINGA H. (June 1987). "A class of analog CMOS circuits based on the square-law characteristics of an MOS transistor in saturation," IEEE J. Solid-State Circuits, vol. SC-22, pp 357-365.
- [CHE86] CHEN J. (March 1986). "CMOS-The Emerging VLSI Technology", IEEE Circuits and Devices Mag., p. 16.
- [CHE91] CHENG M. C. H., TOUMAZOU C. (September 1991). "Linear composite MOSFETs (CMOSFETs)," Electron. Lett., pp. 1802-1804.
- [CHE95] CHEN W-K. (1995). "The Circuits and Filters Handbook," A CRC Handbook Published in Cooperation with IEEE Press, pp. 1722-1778.
- [DAV83] DAVIES R.D. (October 1983). "The Case for CMOS", IEEE Spectrum, p. 26.
- [FER85] FERNANDEZ F.J. and SCHAUMANN R. (1985). "Techniques for the design of linear CMOS transconductance elements for video-frequency applications," Proc. 28th Midwest Symp. Circuits Syst., pp. 499-502.

- [FRA93] FRANCO S. (1993). "Analytical Foundations of Current-Feedback Amplifiers," IEEE ISCAS, vol. 2, pp. 1050-1053.
- [GEI90] GEIGER R. L., ALLEN P. E, and STRADER N. R. (1990). "VLSI Design Techniques for Analog and Digital Circuits," McGraw-Hill, ch. 4.
- [HAR88] HAROLD P. (July 1988) "Current-Feedback Op Amps Ease High-Speed Circuit Design," EDN.
- [HAR93] HARVEY B. (1993). "Current-Feedback OPAMP Limitations: A state-of-the-art review," IEEE ISCAS, vol. 2, pp. 1066-1069.
- [HAU86] HAUSER M. W. et al. (1986). "Circuit and Technology Considerations for MOS Delta-Sigma A/D Converters", Proc. IEEE ISCAS, p. 1310.
- [HOD80] HODGES D. A. (1980). "Analog Switches and passive Elements in MOSLSI", Analog Integrated Circuits, IEEE Press, p. 14.
- [HUA93] HUANG S. C. and ISMAIL M. (March 1993). "Linear tunable COMFET transconductors," Electron. Lett., pp. 459-461.
- [ISM87] ISMAIL M. (September 1987). "Four-transistor continuous-time MOS transconductor," Electron. Lett., vol. 23, pp. 1099-1100.

- [ISM88] ISMAIL M., SMITH S. and BEAL R. (February 1988). "A new MOSFET-C universal filter structure for VLSI," IEEE J. Solid-State Circuits, vol. 23, pp. 183-194.
- [ISM94] ISMAIL M. and FIEZ T. (1994). "Analog VLSI Signal and Information Processing," McGraw-Hill, Inc.
- [KHA89] KHACHAB N. I. and ISMAIL M. (November 1989). "MOS multiplier/divider cell for analog VLSI," Electron. Lett., vol. 25, pp. 1550-1552.
- [KHO84] KHORRAMABADI H. and GRAY P. R. (December 1984). "High frequency CMOS continuous-time filters," IEEE J. Solid-State Circuits, vol. SC-19, pp. 939-948.
- [KLU89] KLUMPERINK E., ZWAN E. and SEEVINCK E. (May 1989). "CMOS variable transconductance circuit with constant bandwidth," Electron. Lett., vol. 25, pp. 675-676.
- [KOU89] KOULLIAS I.A. (1989). "A Wideband Low-offset Current-feedback OP AMP Design," IEEE Bipolar Circuits and Technology Meeting, pp. 120-123.
- [KRU88] KRUMMENACHER F. and JOEHL N. (June 1988). "A 4-MHz CMOS

continuous-time filter with on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. 23, pp. 750-785.

- [MAS93] MASA P., HOEN K. and WALLINGA H. (September 1993). "20 million patterns per second analog CMOS neural network pattern classifier," Proc. 11th European Conference on Circuit Theory and Design, part I, pp. 497-502, Elsevier.
- [NAU92] NAUTA B. (February 1992). "A CMOS transconductance-C filter technique for very high frequencies," IEEE J. Solid-State Circuits, vol. 27, pp. 142-153.
- [NAU93] NAUTA B. (1993). "Analog CMOS filters for very high frequencies," Kluwer Academic Publishers.
- [NED84] NEDUNGADI A. and VISWANATHAN T.R. (October 1984). "Design of linear CMOS transconductance elements," IEEE Trans. Circuits Syst., vol. CAS-31, pp.891-894.
- [PAN96] PANKIEWICZ B. and SZCZEPANSKI S. (1996). "Body-Tunable CMOS OTA for Continuous-Time Analog Filter Applications," ICECS'96, pp. 132-135.

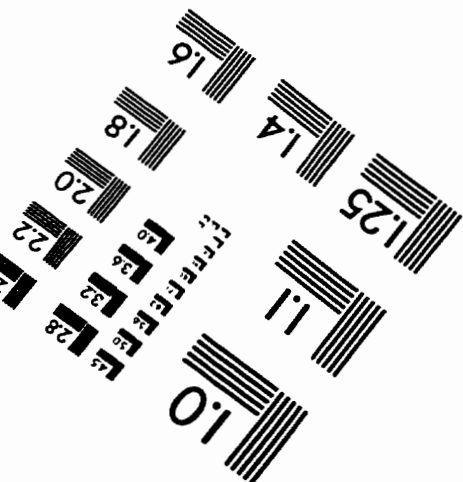
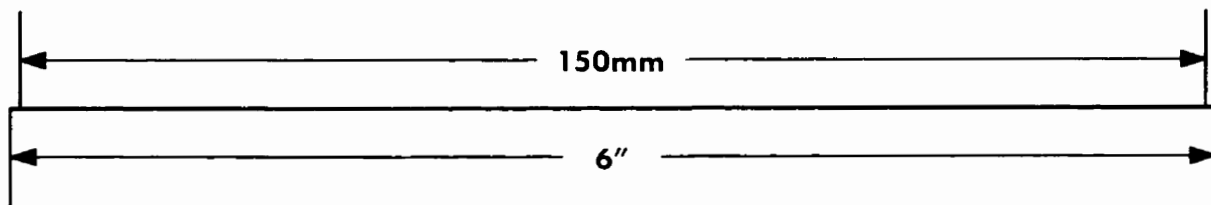
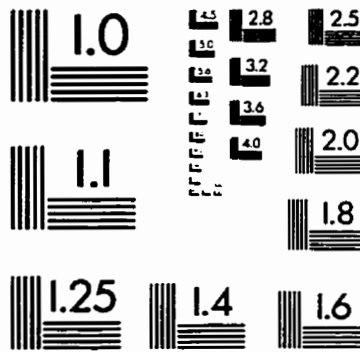
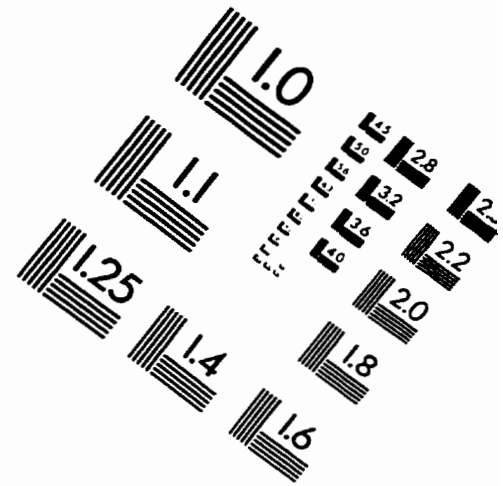
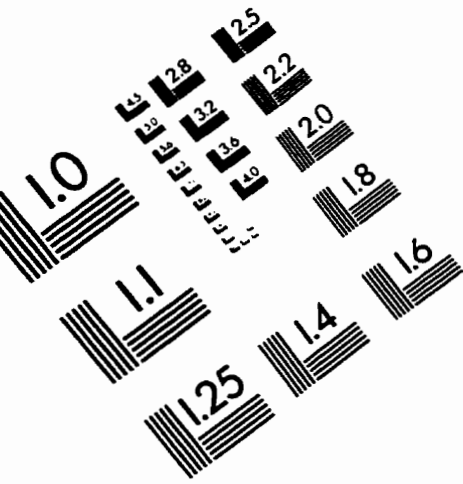
- [PAR86] PARK C.S and SCHAUMANN R. (November 1986). "A high-frequency CMOS linear transconductance element," IEEE Trans. Circuits Syst., vol. CAS-33, pp. 1132-1138.
- [POS88] POSTON D. (May 1988). "Current-feedback op amp applications circuit guide," Comlinear Corp. Application Note OA-07.
- [POU73] POUJOIS R. et al. (1973). "Low-Level MOS Transistor Amplifier using storage techniques", IEEE ISSCC Dig. Tech. Papers, p. 152.
- [RAU96a] RAUT R. (November 1996). "Wideband CMOS Transconductor for Analog VLSI Systems," IEEE Trans. Circuits Syst. II, vol. 43, pp. 775-776.
- [RAU96b] RAUT R. (1996). "A CMOS Building Block for Analogue VLSI Systems," Int. J. Electronics, Vol. 80, No. 1, pp. 77-98.
- [RIB85] RIBNER D. B. et al. (1985). "80 MHz Low Offset Fully Differential and Single-Ended Op Amps", IEEE Custom Integrated Circuits Conference, p. 174.
- [RYA87] RYAN P.J. and HAIGH D.J. (July 1987). "Novel fully differential MOS transconductor for integrated continuous-time filters," Electron. Lett., vol. 23, pp. 742-743.

- [SEE87] SEEVINK E. and WASSENAAR R.F. (June 1987). "A versatile CMOS linear transconductor/square-law function circuits," IEEE J. Solid-State Circuits, vol. SC-22, pp. 366-377.
- [SZC95] SZCZEPANSKI S. and SCHAUMANN R. (1995). "A Linear CMOS OTA for VHF Applications," Proc. IEEE International Symposium on Circuits and Systems, pp. 1344-1347.
- [SZC97] SZCZEPANSKI S. JAKUSZ J., and SCHAUMANN R. (March 1997). "A linear fully balanced CMOS OTA for VHF filtering applications," IEEE Trans. Circ. Syst., vol. 44, NO. 3, pp. 174-187.
- [TOR85] TORRENCE R. R. VISWANATHAN T.R. and HANSON J.V. (November 1985). "CMOS voltage to current transducers," IEEE Trans. Circuits Syst., vol. CAS-32, pp. 1097-1104.
- [TOU93a] TOUMAZOU C., LIDGEY F.J. and HAIGH D.G. (1993). "Analogue IC design: the current-mode approach," Peter Peregrinus Ltd., ch. 16.
- [TOU93b] TOUMAZOU C., LIDGEY F.J. and HAIGH D.G. (1993). "Analogue IC design: the current-mode approach," Peter Peregrinus Ltd., ch. 5.
- [TSI82] TSIVIDIS Y. (December 1982). "Signal Processing with Transfer Function

tion Coefficients Determined by Timing," IEEE Trans. Circuits Syst., vol. CAS-29, p. 807.

- [TSI86] TSIVIDIS Y. CZARNUL Z. and FANG S.C. (February 1986). "MOS transconductors and integrators with high linearity," Electron. Lett., vol. 22, pp. 245-246.
- [TSI87] TSIVIDIS Y. P. (1987). "Analog MOS Integrated Circuits-Certain New Ideas, Trends, and Obstacles", IEEE Journal Solid State Circuits, SC-22, No.3, p. 317.
- [WAN63] WANLASS F. et al. (1963). "Nanowatt Logic Using Field-Effect Metal-Oxide Semiconductor Triode", Proc. International Solid State Circuits Conference, p. 32.
- [WON89] WONG. J. (October 1989). "Current-Feedback Amplifiers Extend High-Frequency Performance," EDN.

IMAGE EVALUATION TEST TARGET (QA-3)



APPLIED IMAGE, Inc
1653 East Main Street
Rochester, NY 14609 USA
Phone: 716/482-0300
Fax: 716/288-5989

© 1993, Applied Image, Inc., All Rights Reserved

